

日 本 国 特 許 庁
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年12月 5日

出 願 番 号

Application Number:

特願2000-369906

出 願 人

Applicant(s):

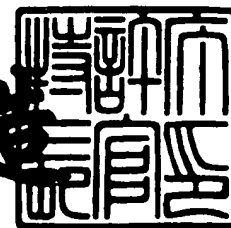
セイコーエプソン株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 9月19日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



【書類名】 特許願

【整理番号】 J0081387

【提出日】 平成12年12月 5日

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/18

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

 【氏名】 小澤 徳郎

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

 【氏名】 石黒 英人

【特許出願人】

 【識別番号】 000002369

 【氏名又は名称】 セイコーエプソン株式会社

【代理人】

 【識別番号】 100093388

 【弁理士】

 【氏名又は名称】 鈴木 喜三郎

 【連絡先】 0 2 6 6 - 5 2 - 3 1 3 9

【選任した代理人】

 【識別番号】 100095728

 【弁理士】

 【氏名又は名称】 上柳 雅誉

【選任した代理人】

 【識別番号】 100107261

 【弁理士】

 【氏名又は名称】 須澤 修

【手数料の表示】

【予納台帳番号】 013044

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9711684

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電気光学装置、階調表示方法および電子機器

【特許請求の範囲】

【請求項 1】 階調を指示する階調データの各ビットをそれぞれ記憶するメモリを備えるとともに、行方向および列方向にわたってマトリクス状に配設された画素を、階調表示させる階調表示方法であって、

1 フィールドを、前記階調データのビットに応じたサブフィールドに分割するとともに、

各サブフィールドの期間を、それぞれ前記ビットの重みに対応して設定し、
一のサブフィールドにあって、一の画素に対して、

当該画素に対応する階調データのうち、当該サブフィールドに対応するビットを、前記メモリから読み出してラッチするとともに、当該ビットにしたがって、オン表示またはオフ表示させ、

ラッチしたビットを、読み出したメモリに再度書き込む

ことを特徴とする階調表示方法。

【請求項 2】 行方向および列方向にわたってマトリクス状に配設された画素を備える一方、

1 フィールドを、前記階調データのビットに応じたサブフィールドに分割するとともに、

各サブフィールドの期間を、それぞれ前記ビットの重みに対応して設定し、

サブフィールド毎に、前記階調データのうち対応するビットにしたがって、前記画素の各々をオン表示またはオン表示させる電気光学装置であって、

前記画素毎に、

前記階調データの各ビットをそれぞれ記憶するメモリと、

前記メモリのうち、サブフィールドに対応するビットを記憶するメモリを選択するセレクタと、

前記セレクタにより選択されたメモリに記憶されているビットを読み出してラッチするとともに、前記セレクタにより選択されたメモリに再度書き込むラッチ回路と、

前記セレクトにより選択されたメモリから読み出したビットにしたがって、オン表示またはオフ表示に対応する電圧を選択するオンオフ選択スイッチと、
前記オンオフ選択スイッチにより選択された電圧が印加される画素電極とを具備することを特徴とする電気光学装置。

【請求項3】 前記メモリは、
ビットの書込タイミングを示す書込制御信号がアクティブレベルになった場合に、前記階調データのビットを転送する第1転送スイッチと、
前記転送スイッチにより転送されたビットに応じた電圧を保持する保持素子とからなることを特徴とする請求項2に記載の電気光学装置。

【請求項4】 前記ラッチ回路が、前記セレクトにより選択されたメモリに記憶されているビットを読み出してラッチするまで、当該メモリへの再書込を禁止する再書込禁止スイッチを、さらに備える
ことを特徴とする請求項2に記載の電気光学装置。

【請求項5】 ビットの書込タイミングを示す書込制御信号がアクティブレベルになった場合に、書き込みを許可する書込許可信号を転送する第2転送スイッチを備え、

前記メモリは、
前記第2転送スイッチにより転送された書込許可信号がアクティブレベルであるときだけ、前記階調データのビットを書き込む
ことを特徴とする請求項2に記載の電気光学装置。

【請求項6】 前記オンオフ選択スイッチによる選択が、各サブフィールドにおいて、すべての画素にわたって一斉に行われる
ことを特徴とする請求項2に記載の電気光学装置。

【請求項7】 前記オンオフ選択スイッチによる選択が、各サブフィールドにおいて、行毎に順次行われる
ことを特徴とする請求項2に記載の電気光学装置。

【請求項8】 前記セレクトは、
前記メモリの各々と前記ラッチ回路との間にそれぞれ介挿されたスイッチング素子であって、サブフィールド毎にいずれかの1つだけが排他的にアクティブ

ベルになるサブフィールド選択信号にしたがってオンするスイッチング素子からなる

ことを特徴とする請求項 2 に記載の電気光学装置。

【請求項 9】 前記セレクトは、

前記メモリの各々と前記ラッチ回路との間における経路のうち、サブフィールドを特定するデータにしたがっていずれかの 1 つの経路だけを排他的にオンさせる複数のスイッチング素子からなる

ことを特徴とする請求項 2 に記載の電気光学装置。

【請求項 1 0】 前記画素電極に対し電気光学物質を介して対向する対向電極を備え、

前記オフ表示に対応する電圧を、前記対向電極の印加電圧と略同一にする一方

前記オン表示に対応する電圧を、1 以上のフィールド毎に、前記オフ表示に対応する電圧に対して反転して供給する

ことを特徴とする請求項 2 に記載の電気光学装置。

【請求項 1 1】 前記画素電極に対し電気光学物質を介して対向する対向電極を備え、

前記オフ表示に対応する電圧を、前記対向電極の印加電圧と略同一にする一方

前記オンオフ選択スイッチは、前記オン表示に対応する電圧を選択する際に、書込極性を指示する極性信号にしたがって、1 以上のフィールド毎に、前記オフ表示に対応する電圧に対して電圧差が略等しい正極側電圧および負極側電圧を交互に選択する

ことを特徴とする請求項 2 に記載の電気光学装置。

【請求項 1 2】 請求項 2 乃至 1 1 のいずれか一に記載の電気光学装置を備える

ことを特徴とする電子機器。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、高品位な階調表示を低消費電力で可能とする電気光学装置、その階調表示方法および電子機器に関する。

【0002】

【従来の技術】

一般に、電気光学装置とは、電気光学材料の電気光学変化を用いて、表示等を行うものである。このような電気光学装置のうち、例えば、電気光学材料として液晶を用いた液晶装置は、次のような構成となっている。すなわち、液晶装置は、マトリクス状に配列した画素電極や、この画素電極に接続されたスイッチング素子などが設けられた素子基板と、画素電極に対向する対向電極が形成された対向基板と、これら両基板との間に挟持された電気光学材料としての液晶とから構成されている。

【0003】

このような構成において、スイッチング素子を導通状態にして、画素電極に、階調に応じた電圧信号を印加すると、当該画素電極および対向電極により液晶を挟持してなる液晶容量に、当該電圧信号に応じた電荷が蓄積される。そして、電荷蓄積後、当該スイッチング素子をオフ状態にしても、当該液晶容量における電荷の蓄積は、液晶容量自身などによって維持される。このように、各スイッチング素子を駆動させ、蓄積させる電荷量を階調に応じて制御すると、液晶の配向状態が変化するので、画素毎に濃度が変化することになって、所定の階調表示が可能になる。

【0004】

ところが、画素電極に印加される電圧信号は、階調に対応する電圧、すなわちアナログ信号であるので、各種の素子特性や配線抵抗などの不均一性に起因して、表示ムラが発生しやすい、という欠点がある。

【0005】

そこで、このような欠点を解消するため、近年では、1フィールド（フレーム）を、階調データのビットに応じて分割するとともに、各サブフィールドの期間を、それぞれビットの重みに対応して設定し、サブフィールド毎に、そのサブフ

フィールドに対応するビットにしたがって、画素電極にオン電圧またはオフ電圧を印加させることによって、1フィールドを1周期としてみた場合に、液晶容量に印加される電圧実効値を、各サブフィールドでのオン電圧またはオフ電圧の印加に応じた値に制御して階調表示を行う、という技術が提案されている。このような方法によれば、配線に供給される信号が、画素のオンまたはオフのいずれかを指示する2値的な信号で済むので、各種の素子特性や配線抵抗などの不均一性に起因する問題を解消することができる。

【0006】

【発明が解決しようとする課題】

しかしながら、このような方法では、画素のオンまたはオフを指示する信号を、1フィールドを複数に分割したサブフィールド毎に供給しなければならない。すなわち、画素のオンまたはオフを指示する信号を、サブフィールドに分割しない構成よりも、高い頻度で供給する必要があり、このため、消費電力が増加する、という問題があった。

【0007】

本発明は、上述した事情に鑑みてなされたものであり、その目的は、各種の素子特性や配線抵抗などの不均一性に起因する表示ムラの発生を抑えた高品位な表示を、低い消費電力で可能とする電気光学装置、その階調表示方法および電子機器を提供することにある。

【0008】

【課題を解決するための手段】

上記目的を達成するため、本件第1発明は、階調を指示する階調データの各ビットをそれぞれ記憶するメモリを備えるとともに、行方向および列方向にわたってマトリクス状に配設された画素を、階調表示させる階調表示方法であって、1フィールドを、前記階調データのビットに応じたサブフィールドに分割するとともに、各サブフィールドの期間を、それぞれ前記ビットの重みに対応して設定し、一のサブフィールドにあって、一の画素に対して、当該画素に対応する階調データのうち、当該サブフィールドに対応するビットを、前記メモリから読み出してラッチするとともに、当該ビットにしたがって、オン表示またはオフ表示させ

この構成によれば、画素電極には、メモリに記憶されたビットにしたがってオンまたはオフに対応する電圧が印加されるので、サブフィールド毎に、対応するビットを供給する必要がなく、さらに、メモリから読み出したビットを画素内のラッチ回路によりラッチして、該メモリに再度書き込むので、読み出しにより記憶内容が破壊されることもない。したがって、表示内容に変更がなければ、階調データの供給が不要となるので、その分、書込動作を簡略化して、書き換えに伴う電力消費を低く抑えることが可能となる。

【 0 0 1 2 】

ここで、第2発明において、前記メモリは、ビットの書込タイミングを示す書込制御信号がアクティブレベルになった場合に、前記階調データのビットを転送する第1転送スイッチと、前記転送スイッチにより転送されたビットに応じた電圧を保持する保持素子とからなる構成が好ましい。この構成によれば、メモリが、DRAM (Dynamic Random Access Memory) 構造となるので、構成の簡易化が図られる。

一方、第2発明においては、前記ラッチ回路が、前記セレクトにより選択されたメモリに記憶されているビットを読み出してラッチするまで、当該メモリへの再書き込みを禁止する再書込禁止スイッチを、さらに備える構成も好ましい。この構成によれば、ビットの読出と再書込との競合が防止されるので、ビット化けが防止される。

【 0 0 1 3 】

また、第2の発明において、ビットの書込タイミングを示す書込制御信号がアクティブレベルになった場合に、書き込みを許可する書込許可信号を転送する第2転送スイッチを備え、前記メモリは、前記第2転送スイッチにより転送された書込許可信号がアクティブレベルであるときだけ、前記階調データのビットを書き込む構成が望ましい。この構成によれば、書込制御信号が、多数の画素にわたって共用される場合、書込制御信号がアクティブレベルになっても、書込許可信号が非アクティブレベルであれば、メモリへの書き込みは行われない。すなわち、したがって、書込制御信号および書込許可信号がともにアクティブレベルになったときだけ、メモリへの書き込みが行われる。このため、必要のないメモリへ

の書き込みが防止されるので、その分、消費電力を低く抑えることが可能となる。

【 0 0 1 4 】

一方、第 2 発明において、前記オンオフ選択スイッチによる選択が、各サブフィールドにおいて、すべての画素にわたって一斉に行われる構成が好ましいが、前記オンオフ選択スイッチによる選択が、各サブフィールドにおいて、行毎に順次行われる構成の方が、より好ましい。すなわち、オンオフ選択スイッチにより選択された電圧が画素電極に印加される動作が、一斉に行われる構成では、瞬間的に動作するスイッチが非常に多数になるので、ピーク消費電力が大きくなる結果、電源回路の構成が複雑化する。一方、オンオフ選択スイッチにより選択された電圧が画素電極に印加される動作が、行毎に線順次的に行われると、瞬間的に動作するスイッチが減少するので、電源回路の構成が簡略化されるが、線順次的動作のための構成が複雑化することもある。

【 0 0 1 5 】

ここで、第 2 発明におけるセレクトとしては、前記メモリの各々と前記ラッチ回路との間にそれぞれ介挿されたスイッチング素子であって、サブフィールド毎にいずれかの 1 つだけが排他的にアクティブレベルになるサブフィールド選択信号にしたがってオンするスイッチング素子からなる第 1 の態様や、前記メモリの各々と前記ラッチ回路との間における経路のうち、サブフィールドを特定するデータにしたがっていずれかの 1 つの経路だけを排他的にオンさせる複数のスイッチング素子からなる第 2 の態様が考えられる。このうち、後者に係る第 2 の態様によれば、メモリとラッチ回路との間における経路長は、第 1 の態様と比較して短くなるので、当該経路において寄生する容量を減少させることができる。このため、第 2 の態様によれば、階調データのビットをメモリからラッチ回路に転送する際に、チャージシュアリングで失われる電荷量を抑えることができるので、その分、ビットの転送を、より確実にすることが可能になる。

【 0 0 1 6 】

また、第 2 発明において、前記画素電極に対し電気光学物質を介して対向する対向電極を備え、前記オフ表示に対応する電圧を、前記対向電極の印加電圧と略

同一にする一方、前記オン表示に対応する電圧を、1以上のフィールド毎に、前記オフ表示に対応する電圧に対して反転して供給する構成が好ましい。この構成によれば、電気光学物質は、交流駆動されるので、直流成分が印加されるのを防止することができる。

【0017】

このような交流駆動は、次のような構成でも可能である。すなわち、第2発明において、前記画素電極に対し電気光学物質を介して対向する対向電極を備え、前記オフ表示に対応する電圧を、前記対向電極の印加電圧と略同一にする一方、前記オンオフ選択スイッチは、前記オン表示に対応する電圧を選択する際に、書込極性を指示する極性信号にしたがって、1以上のフィールド毎に、前記オフ表示に対応する電圧に対して電圧差が略等しい正極側電圧および負極側電圧を交互に選択する構成によっても、電気光学物質に直流成分が印加されるのを防止することができる。

【0018】

さらに、電子機器として、上記電気光学装置を備えると、表示ムラの発生を抑えた高品位な表示が、低い消費電力で可能となる。

【0019】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して説明する。

【0020】

<1：第1実施形態>

はじめに、本発明の第1実施形態に係る電気光学装置について説明する。この電気光学装置は、電気光学物質として液晶を用いて、その電気光学的な変化により所定のカラー表示を行う透過型の液晶表示装置である。

【0021】

<1-1：全体構成>

まず、この電気光学装置の全体構成について、図1(a)および図1(b)を参照して説明する。ここで、図1(a)は、この電気光学装置の構成を示す斜視図であり、図1(b)は、図1(a)におけるA-A'線の断面図である。

【 0 0 2 2 】

これらの図に示されるように、電気光学装置 1 0 0 は、各種素子や画素電極 1 1 8 等が形成された素子基板 1 0 1 と、対向電極 1 0 8 等が設けられた対向基板 1 0 2 とが、スペーサ 1 0 3 を含むシール材 1 0 4 によって一定の間隙を保って、互いに電極形成面が対向するように貼り合わせられるとともに、この間隙に電気光学物質として例えば TN (Twisted Nematic) 型の液晶 1 0 5 が封入された構成となっている。

【 0 0 2 3 】

なお、素子基板 1 0 1 には、本実施形態では、ガラスや、半導体、石英などが用いられるが、不透明な基板を用いても良い。ただし、素子基板 1 0 1 に、不透明な基板を用いる場合には、透過型ではなく反射型として用いる必要がある。また、シール材 1 0 4 は、対向基板 1 0 2 の周辺に沿って形成されるが、液晶 1 0 5 を封入するために一部が開口している。このため、液晶 1 0 5 の封入後に、その開口部分が封止材 1 0 6 によって封止されている。

【 0 0 2 4 】

次に、素子基板 1 0 1 の対向面であって、シール材 1 0 4 の外側一辺に位置する領域 1 5 0 a には、階調データを列方向に供給するための回路が後述するように形成されている。さらに、この一辺の外周部分には、複数の実装端子 1 0 7 が形成されて、外部回路から各種信号を入力する構成となっている。

【 0 0 2 5 】

また、この一辺に隣接する 2 辺に位置する領域 1 3 0 a には、それぞれ書込制御信号や、サブフィールドを特定するための信号など出力する回路が形成されて、行方向の両側から画素に供給する構成となっている。なお、行方向に供給される各種信号の遅延が問題にならないのであれば、これらの信号を出力する回路を片側 1 個の領域 1 3 0 a のみに形成する構成でも良い。また、残りの一辺には、2 個の領域 1 3 0 a に形成される回路において共用される配線（図示省略）などが設けられる。

【 0 0 2 6 】

一方、対向基板 1 0 2 に設けられる対向電極 1 0 8 は、素子基板 1 0 1 との貼

合部分における4隅のうち、少なくとも1箇所に設けられた銀ペースト等などの導通材によって、素子基板101に形成された実装端子107と電氣的に接続されて、電圧LCcomが印加される構成となっている。

ほかに、対向基板102には、特に図示はしないが、画素電極118と対向する領域に、必要に応じて着色層（カラーフィルタ）が設けられる。ただし、後述するプロジェクタのように色光変調の用途に適用する場合、対向基板102に着色層を形成する必要はない。また、着色層を設けると否かとにかかわらず、光のリークによるコントラスト比の低下を防止するために、画素電極118と対向する領域以外の部分には遮光膜が設けられている（図示省略）。

【0027】

また、素子基板101および対向基板102の対向面には、液晶105における分子の長軸方向が両基板間で約90度連続的に捻れるようにラビング処理された配向膜が設けられる一方、その各背面側には配向方向に沿った方向に吸収軸が設定された偏光子がそれぞれ設けられる。これにより、液晶容量（画素電極118と対向電極108との間において液晶105を挟持してなる容量）に印加される電圧実効値がゼロであれば、透過率が最大になる一方、電圧実効値が大きくなるにつれて、透過率が徐々に減少して、ついには透過率が最小になる（ノーマリーホワイトモード）。

【0028】

なお、配向膜や偏光子などについては、本件とは直接関係しないので、その図示については省略することにする。また、図1（b）においては、対向電極108や、画素電極118、実装端子107などには厚みを持たせているが、これは、位置関係を示すための便宜的な措置であり、実際には、基板の厚みに対して無視できるほどに薄い。

【0029】

<1-2：電氣的構成>

次に、本実施形態に係る電気光学装置の電氣的な構成について説明する。図2は、この電氣的な構成を示すブロック図である。

【0030】

この図に示されるように、R（赤）、G（緑）、B（青）の画素120が、X（行）方向およびY（列）方向にわたって、マトリクス状に配列している。これのうち、列方向において相隣接するR、G、Bの画素（サブ画素と呼ぶ場合もある）120の3個が略正形状の1ドット（画素と呼ぶ場合もある）を構成している。なお、この電気光学装置の解像度は、説明の便宜上、縦mドット×横nドットとする。また、この電気光学装置にあって、ひとつの色の画素120は、6ビットの階調データにしたがって64（ $=2^6$ ）階調の表示を行うものとする。したがって、この電気光学装置では、1ドットについてみれば、26万色（ $=2^{6 \times 3}$ ）のカラー表示が行われることになる。

【0031】

さて、画素120の各々は、行方向および列方向に形成されている種々の信号線の交差部分に対応して、それぞれ設けられている。そこで次に、これらの信号線に供給される各種信号について説明する。

まず、行方向に延在する信号線に供給される信号について説明する。

第1に、書込制御信号GWRT1、GWRT2、…、GWRTmは、垂直走査期間の最初に供給される転送開始パルスYspを、行毎に設けられるシフトレジスタ（SR）130によって、図6に示されるように、クロック信号Yclkの立ち下がりおよび立ち上がりで順次シフトしたものである。

【0032】

第2に、サブフィールド選択信号GSEL1～GSEL6は、現時点におけるサブフィールドを示すデータsf_cを、デコーダ（sf-D）132によってデコードしたものであって、図7に示されるように、当該時点におけるサブフィールドに応じて、いずれか1つのみが排他的にHレベルになるものである。そして、サブフィールド選択信号GSEL1～GSEL6は、本実施形態では、各行について共通に供給されている。

ここで、サブフィールドとは、図7に示されるように、1フィールド（フレーム）を、階調データのビット数である「6」つに分割するとともに、該階調データのビット重みに対応した期間に設定したものである。すなわち、サブフィールドsf₆、sf₄、sf₃、sf₂、sf₂およびsf₁は、それぞれ階調デー

タの最上位ビット、2位ビット、3位ビット、4位ビット、5位ビットおよび最下位ビットに対応するものである。

したがって、現時点におけるサブフィールドが、例えば階調データの3位ビットに対応するサブフィールド $s f 3$ であれば、サブフィールド選択信号 $G S E L 3$ のみがHレベルになり、他のサブフィールド選択信号 $G S E L 1$ 、 $G S E L 2$ および $G S E L 4 \sim G S E L 6$ はLレベルになる。

【0033】

第3に、スイッチング制御信号 $G F B$ は、各行について共通に供給される信号であり、例えば図7に示されるように、サブフィールド $s f 1 \sim s f 6$ の先頭タイミングにおいてのみLレベルになるものである。

第4に、定電位信号 $S T G$ は、後述する保持素子 $C 1 \sim C 6$ (図3参照) の共通接地線に供給される信号であり、時間的に一定の電位の信号である。

第5に、オフ表示信号 $V w t$ は、この信号が画素120における画素電極118に印加されると、該画素120がオフ表示になる、という時間的に一定電位の電圧の信号である。上述したように、本実施形態では、ある画素において液晶容量に印加される電圧実効値がゼロであれば、該画素は最大透過率のオフ表示になるので、オフ表示信号 $V w t$ の電圧は、対向電極108に印加される電圧 $L C c o m$ と略等しい関係にある。

【0034】

第6に、 $V d d$ および $V s s$ は、それぞれ電源の高位側電位 $V d d$ および低位側電位 $V s s$ であり、後述する画素120におけるインバータの電源電位として用いられるため、各行について共通に供給される。

第7に、オン表示信号 $V b k$ は、この信号が画素120における画素電極118に印加されると、該画素120が最小透過率のオン表示になる電圧の信号である。このオン表示信号 $V b k$ は、オフ表示信号 $V w t$ に対して互いに電圧差が等しく、かつ、オフ表示信号 $V w t$ によりも高位側(正極側)のオン表示信号 $V b k(+)$ および低位側(負極側)のオン表示信号 $V b k(-)$ を、図7に示されるように1フィールドの開始タイミングにおいて、1フィールド毎に交互に、図2における $V b k$ セレクタ134によって選択したものである。すなわち、 $V b k$ セレクタ134は、

1フィールド毎にレベル反転する信号FLDにしたがって、高位側のオン表示信号Vbk(+)、または、低位側のオン表示信号Vbk(-)のいずれかを選択して、オン表示信号Vbkとして出力するものである。

【0035】

続いて、列方向に延在する信号線に供給される信号について説明する。画素120に対し、列方向には、階調データのビットDT1～DT6が供給されるので、このための構成について詳述することにする。

まず、図2において、シフトレジスタ(SR)150は、1ドットを構成する3列毎に設けられ、水平走査期間の最初に供給される転送開始パルスXspを、クロック信号Xclkの立ち下がりおよび立ち上がりで順次シフトして、サンプリング信号Xs1、Xs2、…、Xsnとして出力するものである。ここで、サンプリング信号Xs1、Xs2、…、Xsnは、図6に示されるように、互いにパルス幅が重複しないように出力される。

【0036】

さて、シフトレジスタ150の出力側には、RGBの各々に対応するスイッチ152が設けられている。そして、一般的にサンプリング信号Xsj(jは、 $1 \leq j \leq n$ を満たす整数)がHレベルになると、対応する3個のスイッチ152がオンして、それぞれ階調データDR、DG、DBをサンプリングする構成となっている。ここで、階調データDR、DG、DBは、それぞれR、G、Bの画素120の濃度を指示する6ビットのデータであって、外部から所定のタイミングで順次供給されるものである。

【0037】

次に、スイッチ152の出力側には、第1ラッチ回路(L)154が設けられている。この第1ラッチ回路154は、それに対応するスイッチ152によってサンプリングされた階調データをラッチするものである。さらに、第1ラッチ回路154の出力側には、各列に対応してスイッチ156が設けられて、第1ラッチ回路152によってラッチされた階調データを、ラッチパルスLPにしたがって一斉にサンプリングする。

【0038】

そして、スイッチ156によってサンプリングされた階調データは、各列に対応して設けられる第2ラッチ回路(L)158によりラッチされて、このラッチされた階調データのビットDT1～DT6が、画素120に対して列方向に供給される構成となっている。

【0039】

<1-2-1：画素構成>

次に、画素120の詳細について説明する。ここで、図3は、 i 行 j 列に位置するドットのうち、ある1つの色に対応する画素の構成を示す回路図である。なお、 i 、 j は、RGBの画素120により構成されるドットの位置を、 m 行 n 列のマトリクスにおいて一般的に表記するためのものであり、 i は、 $1 \leq i \leq m$ を満たす整数であり、 j は、 $1 \leq j \leq n$ を満たす整数である。

【0040】

さて、画素120には、 i 行に対応する書込制御信号GWRT i が供給される信号線と、 j 列目のドットのうち、着目した1つの色に対応する階調データのビットDT1～DT6が供給される信号線との交差部分に、第1転送スイッチと保持素子とからなるメモリ(DRAM)が、それぞれ設けられる。

【0041】

詳細には、書込制御信号GWRT i が供給される信号線と、階調データのビットDT1が供給される信号線との交差部分には、第1転送スイッチとしての n チャンネル型の薄膜トランジスタ(Thin Film Transistor：以下「TFT」と称する)1211が設けられ、そのゲートが、書込制御信号GWRT i が供給される信号線に接続され、そのソースが、階調データのビットDT1が供給される信号線に接続され、さらに、そのドレインが、保持素子C1の一端に接続されている。同様に、書込制御信号GWRT i が供給される信号線と、階調データのビットDT2～DT6が供給される信号線との交差部分には、TFT1212～1216が設けられ、それらのゲートが、書込制御信号GWRT i が供給される信号線にそれぞれ接続され、それらのソースが、階調データのビットDT2～DT6が供給される信号線にそれぞれ接続され、さらに、そのドレインが、保持素子C2～C6の一端にそれぞれ接続されている。なお、保持素子C1～C6の他端は、定

電位信号 S T G が印加される接地線に共通接続されている。

【 0 0 4 2 】

すなわち、書込制御信号 G W R T _i が H レベルになると、T F T 1 2 1 1 ~ 1 2 1 6 がオンして、それぞれ階調データのビット D T 1 ~ D T 6 に対応した電荷（電圧）が、それぞれ保持素子 C 1 ~ C 6 に充電される構成となっている。したがって、書込制御信号 G W R T _i が L レベルになって、T F T 1 2 1 1 ~ 1 2 1 6 がオフしても、保持素子 C 1 ~ C 6 の一端には、ビット D T 1 ~ D T 6 に対応する電圧が保持され続けるので、一種のメモリとして機能することになる。

【 0 0 4 3 】

次に、保持素子 C 1 の一端は、サブフィールド選択信号 G S E L 1 が H レベルになるとオンするスイッチとしての n チャンネル型 T F T 1 2 2 1 を介して、ノード A に接続されている。同様に、保持素子 C 2 ~ C 6 の一端は、それぞれサブフィールド選択信号 G S E L 2 ~ G S E L 6 が H レベルになるとオンする T F T 1 2 2 2 ~ 1 2 2 6 を介して、ノード A に共通接続されている。

したがって、T F T 1 2 1 1 ~ 1 2 1 6 は、現時点におけるサブフィールドに対応するものだけがオンするので、保持素子 C 1 ~ C 6 のうち、該サブフィールドに対応するビットを保持するもの 1 つのみを、選択するセレクタ 1 2 2 0 として機能することになる。

【 0 0 4 4 】

さて、ノード A は、インバータ 1 2 4 1 の入力端に接続され、さらに、その出力端は、インバータ 1 2 4 3 の入力端に接続されている。そして、インバータ 1 2 4 3 の出力端は、スイッチング制御信号 G F B が H レベルになるとオンする再書込禁止スイッチとしての n チャンネル型 T F T 1 2 3 0 を介して、ノード A にフィードバックされている。

ここで、スイッチング制御信号 G F B は、上述したように、サブフィールド s f 5 ~ s f 1 の先頭タイミングにおいてのみ L レベルになり、それ以外の期間では H レベルになる信号である。したがって、サブフィールド s f 6 ~ s f 1 の先頭タイミングでは、T F T 1 2 3 0 がオフするので、インバータ 1 2 4 3 の出力は、それ以前における出力内容と競合することなく確定し、その直後、T F T 1

230がオンするので、インバータ1241→インバータ1243→TFT1230という閉ループによってラッチ回路が形成される結果、ノードAにおける論理レベルは、インバータ1243により確定した状態に保持されることになる。

【0045】

さらに、ノードAにおいて保持された論理レベルの電圧は、TFT1211～1216のうち、オンしているものを介して、保持素子に再充電される。すなわち、サブフィールドsf6～sf1の先頭タイミングにおいて、保持素子C1～C6のいずれかから、セクタ1220を介して読み出されたメモリの内容は、その直後におけるTFT1230のオンによって保持された出力状態に、再ライトされることになる。

【0046】

一方、インバータ1241の出力端は、また、相補型スイッチ（トランスマッションゲート）1251を構成するnチャネル型TFTのゲート、および、相補型スイッチ1253を構成するpチャネル型TFTのゲートにそれぞれ接続されている。さらに、インバータ1243の出力端は、相補型スイッチ1251を構成するpチャネル型TFTのゲート、および、相補型スイッチ1253を構成するnチャネル型TFTのゲートにそれぞれ接続されている。

【0047】

ここで、相補型スイッチ1251の入力端は、オフ表示信号Vwtが供給される信号線に接続され、相補型スイッチ1253の入力端は、オン表示信号Vbkが供給される信号線に接続される一方、相補型スイッチ1251、1253の出力端は、画素電極118に共通接続されている。これにより、ノードAがLレベルであれば、相補型スイッチ1251のみがオンするので、画素電極118にはオフ表示信号Vwtが印加される一方、ノードAがHレベルであれば、相補型スイッチ1253のみがオンするので、画素電極118にはオン表示信号Vbkが印加されることになる。

【0048】

なお、画素電極118は、ITO（Indium Tin Oxide：インジウム錫酸化物）などの透明薄膜金属などからなる。また、上述したように画素電極118と、電

圧 LC com が印加される対向電極 1 0 8 との間には、電気光学物質たる液晶 1 0 5 が挟持されて、これにより液晶容量が形成されている。

【 0 0 4 9 】

< 1 - 2 - 2 : 実際の画素構成 >

続いて、上述した画素 1 2 0 の実際的な構成について説明する。ここで、図 4 は、素子基板 1 0 1 の対向面にあつて画素 1 2 0 の構成を示す平面図であり、図 5 は、図 4 に示される構成の等価回路を示す図である。

【 0 0 5 0 】

まず、図 4 において、最下層は、例えば TFT の半導体層である。また、第 2 層は、例えばアルミニウムなどの導電層であり、TFT のゲート電極と、X 方向に延在して形成される信号線とに大別される。すなわち、最下層の半導体層と、第 2 層の導電層とが交差する部分が、TFT のチャネル領域となる。続いて、第 3 層は、例えばアルミニウム層であり、TFT のソース、ドレインに接続するための配線と、列方向に延在して形成される信号線とに大別される。なお、互いに異なる層からなる配線同士の接続、または、TFT のソース／ドレインと配線との接続は、図 4 において「X」印で示されるコンタクトホールを介して行われる。

【 0 0 5 1 】

また、各メモリを構成する保持素子 C 1 ~ C 6 は、それぞれ TFT 1 2 1 1 ~ 1 2 1 6 の半導体層のうち、ドレイン領域を、定電位信号 STG が供給される信号線と交差する部分下方において拡大して、低抵抗化するとともに、その表面を二酸化珪素などの絶縁膜で覆うことにより形成されている。すなわち、保持素子 C 1 ~ C 6 は、TFT 1 2 1 1 ~ 1 2 1 6 の半導体層におけるドレイン領域の低抵抗化部分を一端の電極とし、定電位信号 STG が供給される信号線を他端の電極として、両電極の間において該絶縁膜を挟持した構成となっている。

【 0 0 5 2 】

ここで、本実施形態に係る電気光学装置は、上述したように透過型の液晶表示装置であるので、図 4 において、配線や半導体層が形成されていない部分が、光の透過領域として機能することになる。なお、図 4 において、配線層のうち、最

上層に位置する画素電極 1 1 8 については、説明の便宜上、図示を省略しているが、相補型スイッチ 1 2 5 1、1 2 5 3 において共通な出力配線に設けられるコンタクトホール 1 2 6 0 を介して接続される構成となっている。また、図 3 におけるインバータ 1 2 4 1、1 2 4 3 は、実際には、図 4 または図 5 に示されるように、電源の高位側電位 V_{dd} と低位側電位 V_{ss} との間において、p チャンネル型 T F T と n チャンネル型 T F T とを直列接続した相補型の構成となっている。

なお、画素 1 2 0 における T F T は、図 1 における領域 1 3 0 a や、領域 1 5 0 a に形成される回路の構成素子と共通のプロセスで形成される。このように形成すると、周辺回路を別基板上に形成して外付けするタイプの電気光学装置と比較して、装置全体の小型化や低コスト化を図る上で有利となる。

【 0 0 5 3 】

< 1 - 3 : 動作 >

次に、上述した構成に係る電気光学装置の動作について説明する。この電気光学装置は、画素 1 2 0 のメモリに階調データのビットを書き込む動作と、メモリに記憶されたビットに応じて画素電極 1 1 8 にオン表示信号 V_{bk} またはオフ表示信号 V_{wt} の電圧を印加するとともに、メモリに再ライトする動作とに大別される。ここで、両動作は、後述するように同期していても構わないが、必ずしも同期する必要はなく、各々独立しても実行可能である。そこで以下、両動作を分けて説明することにする。

【 0 0 5 4 】

< 1 - 3 - 1 : 書込動作 >

まず、画素 1 2 0 におけるメモリの各々に、対応する階調データのビットをそれぞれ書き込む書込動作について説明する。図 6 は、この書込動作を説明するためのタイミングチャートである。

【 0 0 5 5 】

この図に示されるように、垂直走査期間の最初に供給される転送開始パルス Y_{sp} が、シフトレジスタ 1 3 0 (図 2 参照) により、クロック信号 Y_{clk} の立ち上がりおよび立ち下がりにしたがってシフトされて、水平走査期間 1 H 毎に、排他的に H レベルになる書込制御信号 $GWRT1$ 、 $GWRT2$ 、…、 $GWRTm$ とし

て出力される。なお、書込制御信号GWRT1、GWRT2、…、GWRTmのいずれかがHレベルになる期間において、スイッチング制御信号GFBは、強制的にLレベルにされる（図示省略）。

【0056】

ここで、1行目の書込制御信号GWRT1がHレベルになる期間について着目すると、該期間に先んじて、1行1列、1行2列、…、1行n列のドットに対応する階調データDR、DG、DBが順番に供給される。このうち、1行1列のドットに対応する階調データDR、DG、DBが供給されるタイミングにおいて、シフトレジスタ150から出力されるサンプリング信号Xs1がHレベルになると、1列目のドットに対応する3個のスイッチ152のオンにより、当該階調データが、同じく1列目のドットに対応する3個の第1ラッチ回路154にそれぞれラッチされる。

【0057】

次に、1行2列のドットに対応する階調データDR、DG、DBが供給されるタイミングにおいて、サンプリング信号Xs2がHレベルになると、2列目のドットに対応する3個のスイッチ152のオンにより、当該階調データが、同じく2列目のドットに対応する3個の第1ラッチ回路154にそれぞれラッチされ、以下同様にして、1行n列のドットに対応する階調データDR、DG、DBが、n列目のドットに対応する3個の第1ラッチ回路154にそれぞれラッチされる。これにより、1行目に位置するn個のドットに対応する階調データが、それぞれ1列目、2列目、…、n列目に対応する第1ラッチ回路154に、RGBの色毎にそれぞれラッチされることになる。

【0058】

続いて、ラッチパルスLPが出力されると、それぞれ1列目、2列目、…、n列目に対応する第1ラッチ回路154にそれぞれラッチされた階調データが、スイッチ156のオンにより、それぞれに対応する第2ラッチ回路158に、一斉にラッチされて、RGBの色毎に、ビットDT1～DT6として出力されることになる。

【0059】

そして、この出力タイミングに一致して、書込制御信号GRTW1がHレベルになるので、1行目に位置する画素120にあっては、TFT1211～1216がオンする結果、保持素子C1～C6には、それぞれビットDT1～DT6に応じた電荷（電圧）が充電されることになる。以下同様な動作が、2行目、3行目、…、m行目に位置する画素120に対して線順次的に行われる。これにより、すべての画素120における保持素子C1～C6には、それぞれ該画素に対応する階調データのビットDT1～DT6に応じた電荷が充電されて、各メモリに、ビットDT1～DT6がそれぞれ書き込まれることになる。

【0060】

＜1-3-2：表示リフレッシュ動作＞

次に、上述した書込動作によって画素120の各メモリにそれぞれ保持されたビットDT1～DT6のうち、現時点におけるサブフィールドに対応するビットを読み出して、該ビットに応じた電圧を画素電極118に印加するとともに、該ビットを、読み出したメモリに再ライトする表示リフレッシュ動作について説明する。図7は、この表示リフレッシュ動作を説明するためのタイミングチャートである。

【0061】

まず、1フィールドのうち、最初のサブフィールドsf6では、サブフィールド選択信号GSEL6のみがHレベルになる。このため、各画素120のセクタ1220においては、TFT1216（図3参照）のみがオンするので、ノードAは、保持素子C6の一端に保持された電圧と略等しくなる。

【0062】

ここで、サブフィールドsf6の先頭タイミングでは、スイッチング制御信号GFBがLレベルになるので、インバータ1243の出力は、以前における出力状態とは無関係に、ノードAと同一の論理レベルになる。また、画素電極118には、ノードAがLレベルであれば、相補型スイッチ1251のオンによりオフ表示信号Vwtの電圧が印加される一方、ノードAがHレベルであれば、相補型スイッチ1253のオンによりオン表示信号Vbkの電圧が印加されることになる。

【0063】

この後、一定の時間が経過して、スイッチング制御信号 G F B が H レベルになると、インバータ 1 2 4 3 の出力が、ノード A たるインバータ 1 2 4 1 の入力にフィードバックされるので、ノード A の論理レベルは、インバータ 1 2 4 3 により確定した出力状態に保持されることになる。すなわち、インバータ 1 2 4 3 の出力は、ノード A の論理レベルをラッチしたものとなる。そして、ラッチされた論理レベルは、T F T 1 2 1 6 を介して保持素子 C 6 に再充電される一方、引き続き画素電極 1 1 8 には、ラッチされた論理レベルに応じてオフ表示信号 V_wt またはオン表示信号 V_bk の電圧が印加されることになる。

【 0 0 6 4 】

続いて、1 フィールドのうち、2 番目のサブフィールド s f 5 では、サブフィールド選択信号 G S E L 5 のみが H レベルになるので、各画素 1 2 0 のセレクト 1 2 2 0 においては、T F T 1 2 1 5 のみがオンする結果、ノード A は、保持素子 C 5 の一端に保持された電圧と略等しくなる。以降の動作はサブフィールド s f 6 における動作と全く同一であり、画素電極 1 1 8 には、保持素子 C 5 の一端電圧、すなわちビット D T 5 に応じた論理レベルに応じてオフ表示信号 V_wt またはオン表示信号 V_bk の電圧が印加されるとともに、保持素子 C 5 の再充電が行われることになる。

【 0 0 6 5 】

以降同様な動作がサブフィールド s f 4、s f 3、s f 2 および s f 1 において、すべての画素 1 2 0 にて一斉に行われる。すなわち、サブフィールド s f 4 ~ s f 1 において、各画素 1 2 0 の画素電極 1 1 8 には、保持素子 C 4 ~ C 1 の一端電圧、すなわちビット D T 4 ~ D T 1 に応じた論理レベルに応じてオフ表示信号 V_wt またはオン表示信号 V_bk の電圧が印加されるとともに、保持素子 C 4 ~ C 1 の再充電が行われることになる。

【 0 0 6 6 】

したがって、ある 1 つの画素 1 2 0 の液晶容量に印加される電圧実効値は、1 フィールドを 1 周期としてみれば、サブフィールド s f 6 ~ s f 1 毎に印加されるオン表示信号 V_bk の電圧を時間的に累算した値になるので、当該値に応じた階調表示が行われることになる。

例えば、ある画素 1 2 0 の保持素子 C 6 ~ C 1 の一端に保持された電圧が、図 7 に示されるように、それぞれ H、H、L、L、H、L レベルであれば、画素電極 1 1 8 には、同図において P i x で示されるように、サブフィールド s f 6、s f 5 にわたってオン表示信号 V b k が印加され、続くサブフィールド s f 4、s f 3 にわたってオフ表示信号 V w t が印加され、さらに、サブフィールド s f 2 においてオン表示信号 V b k が印加された後、サブフィールド s f 1 においてオフ表示信号 V w t が印加されるので、当該液晶容量には 6 ビットの階調データ (1 1 0 0 1 0) に対応する電圧実効値が印加される結果、当該値に対応する階調表示が行われることになる。さらに、次の 1 フィールドでは、オン表示信号 V b k として選択される電圧が、V b k セクタ 1 3 4 (図 2 参照) によって、オフ表示信号 V w t の電位を基準として極性反転したものとされるので、画素 1 2 0 の液晶容量は、2 フィールドにて交流駆動されることになる。なお、図 7 において、画素電極 1 1 8 に印加される電圧 P i x についてのハッチングは、オン表示信号 V b k の電圧印加期間を示している。

【 0 0 6 7 】

ところで、セクタ 1 2 2 0 における T F T 1 2 1 1 ~ 1 2 1 6 のオン直後にあっては、ラッチ回路の閉ループに位置する T F T 1 2 3 0 がオフであるので、保持素子 C 1 ~ C 6 の一端における電位は、インバータ 1 2 4 1 への入力に際するチャージシュアリングにより、図 7 に示されるように、若干降下 (上昇) する。ただし、直後に、T F T 1 2 3 0 がオンすることにより、インバータ 1 2 4 3 の出力 (ノード A) の論理レベルに再充電されるので、元のレベルに戻るようになる。

【 0 0 6 8 】

< 1 - 4 : 第 1 実施形態のまとめ >

このように、第 1 実施形態に係る電気光学装置によれば、サブフィールド s f 6 ~ s f 1 毎に、各画素 1 2 0 におけるメモリに記憶されたビット D T 1 ~ D T 6 に応じてオフ表示信号 V w t またはオン表示信号 V b k の電圧が画素電極 1 1 8 に印加され、これにより、1 フィールドにわたって液晶容量に印加される電圧実効値が制御されて、階調表示が行われることになる。このため、サブフィールド毎

に、画素 1 2 0 のオンまたはオフを指示するビット信号を供給しないで済む。さらに、画素 1 2 0 における各メモリは、転送スイッチとして T F T と保持素子との組からなる D R A M の構成であるが、1 フィールド毎に、対応するサブフィールドにおいて、画素電極 1 1 8 に印加する電圧の選択動作とともに、再ライト（リフレッシュ）が行われる。したがって、静止画を表示する場合には、最初に、当該静止画に対応する階調データを、各画素 1 2 0 におけるメモリに書き込んでしまえば、以降、書込動作を行う必要がなくなるので、書き込みに伴う電力消費を抑えることが可能となる。

【 0 0 6 9 】

なお、第 1 実施形態では、各行に供給されるオン表示信号 V b k を共通とする構成であったが、この構成では、書込極性が、すべての画素 1 2 0 において同一になるので、いわゆるフリッカが発生する可能性がある。したがって、実際には、V b k セレクタ 1 3 4 を、奇数行用と偶数行用とに分けるとともに、両者が互いに反対極性のオン表示信号 V b k を出力する構成や、行毎に V b k セレクタを備える構成が望ましい、と考える。

【 0 0 7 0 】

< 2 : 第 2 実施形態 >

さて、上述した第 1 実施形態にあっては、書込動作において、一般的に i 行に対応する書込制御信号 G W R T i が H レベルになると、i 行に位置する画素 1 2 0 におけるすべての T F T 1 2 1 1 ~ 1 2 1 6 がオンになる。すなわち、書込制御信号 G W R T i が H レベルになると、表示内容を変更する必要のない画素 1 2 0 の T F T 1 2 1 1 ~ 1 2 1 6 についてもオンしてしまうので、この意味において、無駄な書込動作が発生する。

また、上述した第 1 実施形態では、表示リフレッシュ動作が、サブフィールド s f 6 ~ s f 1 毎に、各画素 1 2 0 において一斉に行われるので、同時にスイッチングする素子が非常に多くなる。このため、消費電力のピーク値が大きくなるので、第 1 実施形態に係る電気光学装置では、電源回路の駆動負荷が増大して消費電力が大きくなる傾向にある。

【 0 0 7 1 】

そこで、メモリ内容を変更する必要があるドットに対してのみ階調データを選択的に供給するとともに、電源回路の複雑化を防止した第2実施形態について説明することにする。なお、この第2実施形態に係る電気光学装置の全体構成については、図1に示される第1実施形態と同様であるので、その説明を省略して、電気的な構成から説明することにする。

【0072】

<2-1: 電気的構成>

図8は、本発明の第2実施形態に係る電気光学装置の電気的な構成を示すブロック図である。なお、この第2実施形態については、図2に示される第1実施形態との相違点を中心にして説明し、共通点については説明を省略することにする。

【0073】

さて、第2実施形態にあって、階調データDR、DG、DBは、第1実施形態のように、すべての画素120について順番に供給されるのではなく、表示内容を変更すべきドットに対応する階調データのみが、行アドレスyADおよび列アドレスxADで特定されて供給される構成となっている。

このため、図8に示されるように、行アドレスデコーダ(yAd-D)140が、ドットの1行毎に設けられる一方、列アドレスデコーダ(xAd-D)160が、ドットの1列毎に設けられている。このうち、一般的にi行に対応する行アドレスデコーダ140は、行アドレスyADが当該i行を示すものであれば、Hレベルになる書込制御信号GWRTiを出力するものである。すなわち、第2実施形態において、書込制御信号GWRTiは、i行に対応するシフトレジスタ130から出力されるのではなく、i行に対応する行アドレスデコーダ140から出力される構成となっている。

【0074】

一方、本実施形態において、デコーダ(sf-D)132およびVbkセレクタ134は、それぞれ行毎に設けられている。このうち、一般的にi行に対応するデコーダ132は、スイッチ142によってサンプリングされたデータsfcをデコードして、サブフィールドに対応するサブフィールド選択信号GSEL1～

GSEL6を当該行に出力する。

また、 i 行に対応するVbkセクタ134は、スイッチ144によってサンプリングされた信号FLDの論理レベルにしたがって、オン表示信号Vbkを選択する。詳細には、 i 行に対応するVbkセクタ134は、サンプリングされた信号FLDがHレベルであれば、高位側のオン表示信号Vbk(+)または低位側のオン表示信号Vbk(-)の一方を選択し、サンプリングされた信号FLDがLレベルであれば、他方を選択する。ただし、当該 i 行に隣接する($i-1$)行および($i+1$)行に対応するVbkセクタ134は、サンプリングされた信号FLDがHレベルであれば、高位側のオン表示信号Vbk(+)または低位側のオン表示信号Vbk(-)の他方を選択し、サンプリングされた信号FLDがLレベルであれば、一方を選択する。すなわち、相隣接する行に対応するVbkセクタ134において選択されるオン表示信号Vbkの極性は、互いに反転した関係となるように設定されている。

【0075】

なお、スイッチ142、144は、ともに i 行に対応するシフトレジスタ130による転送信号Ys i がHレベルになるとオンするものであって、前者のスイッチ142は、現時点におけるサブフィールドを示すデータsf c をサンプリングする一方、後者のスイッチ144は、オン表示信号を選択する際の基準となる信号FLDをサンプリングするものである。

【0076】

また、この第2実施形態にあっては、行毎に、ANDゲート146が設けられる。ここで、一般的に i 行に対応するANDゲート146は、同じく i 行に対応するシフトレジスタ130による転送信号Ys i と制御信号FBとの論理積信号を、スイッチング制御信号GFBとして当該 i 行に出力するものである。ここで、制御信号FBは、図11に示されるように、シフトレジスタ130による転送信号Ys1、Ys2、…、Ysmの出力期間であって、クロック信号Yclkの立ち上がりおよび立ち下がり時において一瞬Lレベルになる信号である。

【0077】

次に、一般的にドットの j 列に対応する列アドレスデコーダ160は、列アド

レス x A D が当該 j 列を示すものであれば、H レベルになるサンプリング信号 X s j を出力するものである。すなわち、第 2 実施形態において、サンプリング信号 X s j は、第 1 実施形態のようにシフトレジスタ 1 5 0 (図 2 参照) から出力されるのではなく、j 列に対応する列アドレスデコーダ 1 6 0 から出力される構成となっている。

【 0 0 7 8 】

また、本実施形態にあつては、ドットの列毎に、フリップフロップ (F F) 1 6 2 が設けられる。ここで、一般的に j 列に対応するフリップフロップ 1 6 2 により出力される信号 f f j は、同じく j 列に対応して出力されるサンプリング信号 X s j をセットしたものであつて、リセット信号 R S T により L レベルにリセットしたものである。

【 0 0 7 9 】

さらに、本実施形態にあつては、ドットの列毎に、AND ゲート 1 6 4 が設けられる。ここで、一般的に j 列に対応する AND ゲート 1 6 4 は、同じく j 列に対応して出力される信号 f f j と制御信号 T R S との論理積信号を出力するものであり、本実施形態では、該論理積信号が H レベルであるときに、j 列目のドットに対応して設けられる 3 個のスイッチ 1 5 6 がオンする構成となっている。

【 0 0 8 0 】

一方、j 列に対応して出力される信号 f f j は、制御信号 T R S が H レベルであるときにオンするスイッチ 1 6 6 によってサンプリングされ、さらに、スイッチ 1 6 6 によってサンプリングされた信号 f f j が、第 3 ラッチ回路 (L) 1 6 8 によりラッチされて、このラッチされた信号が、書込許可信号 D T W j として、j 列目のドットに供給される構成となっている。すなわち、本実施形態にあつては、書込許可信号 D T W j が、R G B の画素 1 2 0 の 3 列毎に (ドットの列毎に) 供給される構成となっている。

【 0 0 8 1 】

< 2 - 1 - 1 : 画素構成 >

次に、第 2 実施形態における画素 1 2 0 の詳細について説明する。ここで、図 9 は、i 行 j 列に位置するドットのうち、R (赤) に対応する画素 1 2 0 の構成

を示す回路図である。

【 0 0 8 2 】

この図に示されるように、本実施形態における R の画素 1 2 0 には、第 1 実施形態と同様に、i 行に対応する書込制御信号 $GWRT_i$ が供給される信号線と、j 列目のドットのうち、R に対応する階調データ DR のビット $DT_1 \sim DT_6$ が供給される信号線との交差部分に、第 1 転送スイッチと保持素子とからなるメモリ (DRAM) が、それぞれ設けられる。

ただし、本実施形態において、書込制御信号 $GWRT_i$ が供給される信号線と、書込許可信号 DTW_j が供給される信号線との交差部分には、第 2 転送スイッチとしての n チャンネル型 TFT 1 2 7 0 が設けられている。ここで、TFT 1 2 7 0 のゲートは、書込制御信号 $GWRT_i$ が供給される信号線に接続され、そのソースは、書込許可信号 DTW_j が供給される信号線に接続され、そのドレインは、第 1 転送スイッチとしての n チャンネル型 TFT 1 2 8 1 ~ 1 2 8 6 の共通ゲートになっている。

【 0 0 8 3 】

さらに、TFT 1 2 8 1 のソースは、階調データのビット DT_1 が供給される信号線に接続され、さらに、そのドレインが、保持素子 C_1 の一端に接続されている。同様に、TFT 1 2 8 2 ~ 1 2 8 6 のソースは、階調データのビット $DT_2 \sim DT_6$ が供給される信号線にそれぞれ接続され、さらに、そのドレインが、保持素子 $C_2 \sim C_6$ の一端にそれぞれ接続されている。すなわち、本実施形態においては、TFT 1 2 8 1 ~ 1 2 8 6 と保持素子 $C_1 \sim C_6$ との各組により、ビット $DT_1 \sim DT_6$ を保持するメモリが構成されている。

なお、TFT 1 2 7 0 のドレイン、すなわち、TFT 1 2 8 1 ~ 1 2 8 6 の共通ゲートは、i 行 j 列のドットを構成する RGB の 3 個の画素 1 2 0 において共通である (図 8 参照)。また、その他については、図 3 に示される第 1 実施形態の画素 1 2 0 と同一構成である。

【 0 0 8 4 】

さて、図 9 に示される画素 1 2 0 において、書込制御信号 $GWRT_i$ が H レベルになると、TFT 1 2 7 0 がオンして、書込許可信号 DTW_j が、TFT 1 2

81～1286のゲートに転送される。この際、書込制御信号GWRT_iがHレベルであっても、書込許可信号DTW_jがLレベルであれば、TFT1281～1286はオフであるので、保持素子C1～C6に、ビットDT1～DT6に対応する電荷が充電されることはない。換言すれば、本実施形態における画素120にあっては、書込制御信号GWRT_iおよび書込許可信号DTW_jがともにHレベルになったときに限って、i行j列のドットを構成するRGBの3個の画素120において、当該ドットに対応する各色の階調データDR、DG、DB（の各ビット）が書き込まれることになる。

【0085】

<2-2:動作>

次に、第2実施形態に係る電気光学装置の動作について説明する。この電気光学装置についても、第1実施形態と同様に、画素120のメモリに階調データのビットを書き込む動作と、メモリに記憶されたビットに応じた電圧を画素電極118に印加するとともに、該ビットをメモリに再ライトする動作とに大別されて、両動作は、各々独立して実行可能である。そこで第1実施形態と同様に、両動作を分けて説明することにする。

【0086】

<2-2-1:書込動作>

まず、各画素120におけるメモリの各々に、階調データのビットをそれぞれ書き込む書込動作について説明する。図10は、この書込動作を説明するためのタイミングチャートである。

【0087】

この図に示されるように、行アドレスyADを共通とする階調データDR、DG、DBが、列アドレスxADに同期して供給された後に、当該行アドレスyADが供給される構成となっている。この際、ある行に対応する行アドレスyADが供給される期間においては、一定の空白期間の後に、列アドレスxADが供給される。さらに、この空白期間は前半期間・後半期間に分割されるとともに、この前半期間において、制御信号TRSがHレベルになる一方、この後半期間において、リセット信号RSTがHレベルになる。

【0088】

このような空白期間において、リセット信号RSTがHレベルになると、ドットの列毎に設けられるフリップフロップ162の出力信号ff1、ff2、…、ffnが、すべてLレベルにリセットされる。この後、図10に示されるように、例えば13行1列のドットに対応する階調データDR、DG、DBが、1列目を示す「X001」の列アドレスxADに同期して供給されると、1列目に対応する列アドレスデコーダ160（図8参照）が、その列アドレスxADをデコードする結果、その供給期間においてのみサンプリング信号Xs1がHレベルになる。これにより、ドットの1列目に対応するフリップフロップ162の出力信号ff1はHレベルになる一方、1列目のドットに対応する3個の第1ラッチ回路154は、当該階調データDR、DG、DBをそれぞれラッチすることになる。

【0089】

続いて、13行2列のドットに対応する階調データDR、DG、DBが、2列目を示す「X002」の列アドレスxADに同期して供給されると、同様にして、その供給期間においてのみサンプリング信号Xs2がHレベルとなり、これにより、2列目に対応するフリップフロップ162の出力信号ff2はHレベルになる一方、2列目のドットに対応する3個の第1ラッチ回路154は、当該階調データDR、DG、DBをそれぞれラッチすることになる。

【0090】

以下同様に、13行3列、13行4列のドットに対応する階調データDR、DG、DBが、それぞれ「X003」、「X004」の列アドレスxADに同期して供給されると、その供給期間においてサンプリング信号Xs3、Xs4がそれぞれHレベルになる結果、それぞれ信号ff3、ff4がHレベルになる一方、3列目のドットに対応する3個の第1ラッチ回路154は、13行3列の階調データDR、DG、DBをそれぞれラッチし、4列目のドットに対応する3個の第1ラッチ回路154は、13行4列の階調データDR、DG、DBをそれぞれラッチすることになる。ここで、13行目に位置するドットのうち、表示内容が変更されるドットがほかに存在しなければ、空白期間に至るとともに、13行目を示す「Y013」の行アドレスyADが供給されることになる。

【 0 0 9 1 】

次に、空白期間の前半期間においては、制御信号 T R S が H レベルになる。この際、フリップフロップ 1 6 2 の出力信号 f f 1、f f 2、…、f f n のうち、H レベルになっているのは、f f 1 ～ f f 4 だけである。このため、スイッチ 1 6 6 のオンによってラッチされる書込許可信号 D T W 1、D T W 2、…、D T W n のうち、H レベルになるのは、D T W 1 ～ D T W 4 のみであり、他は L レベルになる。なお、この際、1 列目～4 列目のドットに対応する A N D ゲート 1 6 4 のみがオンになるので、1 3 行 1 列～1 3 行 4 列の階調データ D R、D G、D B（の各ビット D T 1 ～ D T 6）が、それぞれドットの 1 列～4 列に、R G B の色毎に供給される。

一方、1 3 行目に対応する行アドレスデコーダ 1 4 0 が、1 3 行目を示す「Y 0 1 3」の行アドレス y A D をデコードする結果、その供給期間において書込許可信号 G W R T 1 3 のみが H レベルになる。

【 0 0 9 2 】

したがって、書込制御信号 G W R T 1 3 が H レベルになることにより、メモリ内容が書き換えられるドットは、1 3 行 1 列～1 3 行 4 列のドットのみであり、他のドットについてのメモリ内容は書き換えられないことになる。なおこの際、ドットの 5 列～n 列にあっては、以前にラッチされた階調データが継続して画素 1 2 0 に供給されることになるが、書込許可信号 D T W 5 ～ D T W n は L レベルであるので、第 1 実施形態とは異なり、記憶されたメモリ内容が変更されることはない。

【 0 0 9 3 】

続いて、空白期間の後半期間においては、制御信号 T R S が L レベルになるので、すべてのスイッチ 1 6 4、1 6 6 がオフになる一方、リセット信号 R S T が H レベルになるので、フリップフロップ 1 6 2 の出力信号 f f 1、f f 2、…、f f n が、再びすべて L レベルにリセットされる。この後、例えば図 1 0 に示されるように、5 8 行 3 列、5 8 行 4 列のドットに対応する階調データ D R、D G、D B が、それぞれ「X 0 0 3」、「X 0 0 4」の列アドレス x A D に同期して供給されると、その供給期間においてサンプリング信号 X s 3、X s 4 がそれぞれ

れHレベルになる結果、それぞれ信号 f f 3、f f 4 がHレベルになる一方、3列目のドットに対応する3個の第1ラッチ回路154は、58行3列の階調データDR、DG、DBをそれぞれラッチし、4列目のドットに対応する3個の第1ラッチ回路154は、58行4列の階調データDR、DG、DBをそれぞれラッチすることになる。ここで、58行目に位置するドットのうち、ほかに表示内容が変更されるドットが存在しなければ、空白期間に至るとともに、58行目を示す「Y058」の行アドレスyADが供給される。

【0094】

そして、空白期間の前半期間においては、制御信号TRSがHレベルになるが、この際、信号 f f 3、f f 4 だけがHレベルであるので、書込許可信号DTW3、DTW4のみがHレベルになる一方、3列目、4列目のドットに対応するANDゲート164のみがオンになるので、58行3列、58行4列の階調データDR、DG、DB（の各ビットDT1～DT6）が、それぞれドットの3列、4列に、RGBの色毎に供給される。一方、58行目に対応する行アドレスデコーダ140が、58行目を示す「Y058」の行アドレスyADをデコードする結果、その供給期間において書込許可信号GWRT58のみがHレベルになる。

したがって、書込制御信号GWRT58がHレベルになることにより、メモリ内容が書き換えられるドットは、58行3列、58行4列のドットのみであり、他のドットについてのメモリ内容は書き換えられないことになる。以降同様な動作が、列アドレスyADおよび行アドレスyADで特定されたドットに対してのみ行われることになる。

【0095】

<2-2-2：表示リフレッシュ動作>

次に、上述した書込動作によって画素120の各メモリにそれぞれ保持されたビットDT1～DT6のうち、現時点におけるサブフィールドに対応するビットを読み出して、該ビットに応じた電圧を画素電極118に印加するとともに、該ビットを、読み出したメモリに再ライトする表示リフレッシュ動作について説明する。図11は、この表示リフレッシュ動作を説明するためのタイミングチャートである。

【 0 0 9 6 】

この図に示されるように、1フィールドのうち、最初のサブフィールド $s f 6$ においては、転送開始パルス $Y s p$ が、シフトレジスタ 1 3 0 (図 8 参照) により、クロック信号 $Y c l k$ にしたがってシフトされて、転送信号 $Y s 1$ 、 $Y s 2$ 、…、 $Y s m$ として、互いのパルス幅が重複しないよう出力される。なお、転送開始パルス $Y s p$ およびクロック信号 $Y c l k$ は、第 1 実施形態にあっては、それぞれ書込動作の際に用いられたが、本実施形態にあっては、表示リフレッシュ動作に用いられている。このため、転送開始パルス $Y s p$ およびクロック信号 $Y c l k$ は、第 1 実施形態と第 2 実施形態とでは、その性格が異なっている点に留意されたい。

【 0 0 9 7 】

さて、転送信号 $Y s 1$ が H レベルになると、図 8 において 1 行目に対応するスイッチ 1 4 2 がオンになるので、データ $s f c$ がサンプリングされて、同じく 1 行目に対応するデコーダ 1 3 2 によってデコードされる。この時点では、サブフィールド $s f 6$ であるので、1 行目に対応するデコーダ 1 3 2 は、サブフィールド選択信号 $G S E L 6$ を H レベルにする。

また、転送信号 $Y s 1$ が H レベルになると、図 8 において 1 行目に対応するスイッチ 1 4 4 がオンになるので、信号 $F L D$ がサンプリングされて、同じく 1 行目に対応する $V b k$ セレクタ 1 3 4 において選択の基準とされる。なお、1 行目に対応する $V b k$ セレクタ 1 3 4 は、サンプリングされた信号 $F L D$ によって、低位側のオン表示信号 $V b k(-)$ を選択するものとする。

さらに、制御信号 $F B$ は、クロック信号 $Y c l k$ の立ち下がり直後において L レベルになるので、1 行目に対応する AND ゲート 1 4 6 は閉じる。このため、1 行目に対応するスイッチング制御信号 $G F B$ は、L レベルになる。

【 0 0 9 8 】

よって、転送信号 $Y s 1$ が H レベルになって、かつ、制御信号 $F B$ が L レベルである期間において、1 行目に位置する画素 1 2 0 では、図 9 に示される保持素子 $C 6$ の一端における論理レベルに応じてオン表示信号 $V b k$ またはオフ表示信号 $V w t$ の電圧が、画素電極 1 1 8 に印加されることになる。この直後に、制御信号

F B が H レベルになると、1 行目に対応する A N D ゲート 1 4 6 が開くため、1 行目に対応するスイッチング制御信号 G F B が H レベルになる結果、1 行目に位置する画素 1 2 0 では、T F T 1 2 3 0 がオンする。このため、ノード A の論理レベルがラッチされるとともに、保持素子 C 6 に再充電されることになる。

【 0 0 9 9 】

次に、転送信号 Y s 2 が H レベルになると、2 行目に対応するスイッチ 1 4 2 がオンになるので、データ s f c がサンプリングされて、同じく 2 行目に対応するデコーダ 1 3 2 によってデコードされる。これにより、2 行目に対応するデコーダ 1 3 2 は、サブフィールド選択信号 G S E L 6 を H レベルにする。

また、転送信号 Y s 2 が H レベルになると、2 行目に対応するスイッチ 1 4 4 がオンになるので、信号 F L D がサンプリングされて、同じく 2 行目に対応する V b k セレクタ 1 3 4 において選択の基準とされる。ここで、2 行目に対応する V b k セレクタ 1 3 4 は、1 行目に対応する V b k セレクタ 1 3 4 とは、信号 F L D の論理レベルに対応する選択の基準が反対であるので、サンプリングされた信号 F L D によって、高位側のオン表示信号 V b k (+) を選択する。

さらに、制御信号 F B は、クロック信号 Y c l k の立ち上がり直後においても L レベルになるので、2 行目に対応する A N D ゲート 1 4 6 は閉じる。このため、2 行目に対応するスイッチング制御信号 G F B は、L レベルになる。

【 0 1 0 0 】

よって、転送信号 Y s 2 が H レベルになって、かつ、制御信号 F B が L レベルである期間において、2 行目に位置する画素 1 2 0 では、保持素子 C 6 の一端における論理レベルに応じてオン表示信号 V b k またはオフ表示信号 V w t の電圧が、画素電極 1 1 8 に印加されることになる。この直後に、制御信号 F B が H レベルになると、2 行目に対応する A N D ゲート 1 4 6 が開くため、2 行目に対応するスイッチング制御信号 G F B が H レベルになる結果、2 行目に位置する画素 1 2 0 では、T F T 1 2 3 0 がオンする。このため、ノード A の論理レベルがラッチされるとともに、保持素子 C 6 に再充電されることになる。

そして、以降同様に、転送信号 Y s 3、Y s 4、…、Y s m が、順次排他的に H レベルなる毎に、3、4、…、m 行目に位置する画素 1 2 0 において、保持素

子C 6の一端における論理レベルに応じた電圧が画素電極1 1 8に印加される動作と、該保持素子C 6の再充電とが、線順次的に行われることになる。

【0 1 0 1】

続いて、サブフィールドs f 5に至って、転送信号Y s 1、Y s 2、…、Y s mが順次Hレベルになる毎に、同様に、1、2、…、m行目に位置する画素1 2 0において、保持素子C 5の一端における論理レベルに応じた電圧が画素電極1 1 8に印加される動作と、該保持素子C 5の再充電とが線順次的に行われる。

さらに、サブフィールドs f 4～s f 1においても、同様に、保持素子C 4～C 1の一端における論理レベルに応じた電圧が画素電極1 1 8に印加される動作と、該保持素子C 4～C 1の再充電とが線順次的に行われる。

【0 1 0 2】

< 2 - 3 : 第2実施形態のまとめ >

このように第2実施形態では、第1実施形態と同様に、ある1つの画素1 2 0の液晶容量に印加される電圧実効値は、1フィールドを1周期としてみれば、サブフィールドs f 6～s f 1毎に印加されるオン表示信号V bkの電圧を時間的に累算した値になるので、当該値に応じた階調表示が行われることになる。

【0 1 0 3】

ただし、第2実施形態では、保持素子C 6～C 1の一端における論理レベルに応じた電圧が画素電極1 1 8に印加される動作と、保持素子C 6～C 1の再充電とが第1実施形態のように一斉に（面順次的に）ではなく、線順次的に行われる。したがって、これらの動作に伴って同時にスイッチングする素子数は、第1実施形態と比較して減少するので（注：第1および第2実施形態において、単位時間当たりにスイッチングする素子数については互いに同一である）、消費電力のピーク値が下がる結果、電源回路の複雑化を防止することが可能となる。ただし、第1実施形態と比較すると、デコーダ1 3 2およびV bkセクタ1 3 4が行毎に設けられるので、線順次的動作のための構成が複雑化する。

【0 1 0 4】

なお、上述した第2実施形態は、書込動作と表示リフレッシュ動作とをそれぞれ独立に実行する構成としたが、両者を同期させて実行しても良い。ここで、書

込動作と表示リフレッシュ動作と同期して実行する場合、書込動作において制御信号をHレベルにするタイミングと、表示リフレッシュ動作において制御信号FBをLレベルにするタイミングとを一致させれば良い。このような構成を採用すると、ビットDT1～DT6の書き込み時には、TFT1230（図9参照）がオフであるので、ビット化けの発生が防止される。

【0105】

＜3：応用、変形＞

次に、上述した第1および第2実施形態にあつては、種々の応用・変形が可能である。例えば、画素120におけるセクタ1220や、液晶容量を交流駆動するための構成については、次のように変形可能である。

【0106】

＜3-1：セクタの別例＞

まず、第1および第2実施形態にあつては、現時点におけるサブフィールドを示すデータsf cは、デコーダ132によってデコードされて、サブフィールド選択信号GSEL1～GSEL6として、画素120に供給される構成となっていたが、データsf cを、画素120に対して行方向に供給して、各画素120においてデコードする構成としても良い。

【0107】

この構成では、セクタ1220において、保持素子C1～C6の一端とノードAとの間をそれぞれ結ぶ経路のうち、データsf cで示されるサブフィールドに対応する経路のみがオンするように、データsf cの各ビットに応じてオンオフするスイッチング素子（例えばTFT）を配設すれば良い。例えば、データsf cの各ビットとサブフィールドsf1～sf6との対応が、図12の下方に示される関係にある場合には、セクタ1220を同図に示される構成とすれば良い。

【0108】

この図に示される構成において、例えばデータsf cの最上位ビット（MSB）、次位ビット（2SB）、最下ビット（LSB）が、それぞれL、H、Hレベルであつて、サブフィールドsf4を示す場合には、保持素子C4の一端とノードAとの間をそれぞれ結ぶ経路のうち、データsf cで示されるサブフィールドに対応する経路のみがオンするように、データsf cの各ビットに応じてオンオフするスイッチング素子（例えばTFT）を配設すれば良い。

ドAとの経路のみがオンして、保持素子C4の一端における論理レベルにしたがったオン表示信号Vbkまたはオフ表示信号Vwtの電圧が画素電極118に印加されることになる。

このような構成では、セレクトア1220によって選択される保持素子の一端と、ラッチ回路の入出力端たるノードAとの間における経路長が、図3に示した構成と比較して短くなるので、当該経路において寄生する容量を減少させることができる。このため、図12に示されるセレクトア1220によれば、階調データのビットを保持素子のいずれかからラッチ回路に転送する際に、チャージシュアリングで失われる電荷量を抑えることができるので、その分、ビットの転送を、より確実にすることが可能になる。

【0109】

なお、図12は、このようなセレクトア1220を第1実施形態に適用した場合の構成であるが、第2実施形態にも適用可能である。第2実施形態に適用する場合には、i行のシフトレジスタ130による転送信号Ysiにしたがってサンプリングされたデータsf_cを、i行の画素120に供給すれば良い。

【0110】

<3-2：交流駆動のための別例>

また、第1および第2実施形態にあつては、高位側のオン表示信号Vbk(+)、または、低位側のオン表示信号Vbk(-)のいずれかを、Vbkセレクトア134により信号FLDにしたがって選択することにより、液晶容量の交流駆動を行う構成となっていたが、信号FLD（の反転信号）を直接画素120に供給して、これにしたがって、オン表示信号を選択する構成としても良い。

【0111】

詳細には、信号FLDの反転信号、高位側のオン表示信号Vbk(+)、および、低位側のオン表示信号Vbk(-)を、画素120に対して行方向に共通に供給するとともに、図3における相補型スイッチ1251を、図13に示されるように、相補型スイッチ1255に置き換えた構成とすれば良い。ここで、相補型スイッチ1255は、高位側のオン表示信号Vbk(+)および低位側のオン表示信号Vbk(-)の間において、インバータ1241の出力をゲートとする第1のpチャンネル型

TFTと、信号FLDの反転信号をゲートとする第2のpチャネル型TFTと、同じく信号FLDの反転信号をゲートとする第1のnチャネル型TFTと、インバータ1243の出力をゲートとする第2のnチャネル型TFTとを直接接続しとなり、第2のpチャネル型TFTおよび第1のnチャネル型TFTの共通出力端を、画素電極118に接続したものである。

【0112】

この構成によれば、画素電極118には、ノードAがLレベルであれば、相補型スイッチ1251がオンすることによって、オフ表示信号Vwtが印加される一方、ノードAがHレベルであって、信号FLDの反転信号がLレベルであれば、相補型スイッチ1255により選択された高位側のオン表示信号Vbk(+)が印加され、また、ノードAがHレベルであって、信号FLDの反転信号がHレベルであれば、相補型スイッチ1255により選択された低位側のオン表示信号Vbk(-)が印加されることになる。

【0113】

なお、図13は、このような相補型スイッチ1255を、第1実施形態に適用した場合の構成であるが、第2実施形態にも適用可能である。第2実施形態に適用する場合には、i行のシフトレジスタ130による転送信号Ysiにしたがってサンプリングされた信号FLDの反転信号が、i行の画素120に供給されることになる。

さらに、これに隣接する(i-1)行および(i+1)行に、それぞれ転送信号Ys(i-1)、Ys(i+1)にしたがってサンプリングされた、信号FLDの正転信号を供給する構成にすると、相隣接する行同士の書込極性が互いに反転の関係になるので、フリッカを防止することもできる。

【0114】

<3-3:その他>

なお、上述した第1および第2実施形態にあつては、1色当たり6ビットの階調データを用いた64階調表示を、RGBの各々について行うことによって26万色のカラー表示を可能とするものであったが、本発明はこれに限られない。例えば、ビット数を多くして、より多階調のカラー表示を行うとしても良いし、ま

た、階調データのビット数をRGBの色毎に異ならせても良いし、さらに、単なる白黒の階調表示であっても良い。

くわえて、実施形態にあっては、透過型としたが、反射型としても良いし、両者を併用した半透過・半反射型としても良い。

【0115】

上述した実施形態にあっては、液晶容量の書込極性を、1フィールド毎に反転して交流駆動したが、本発明は、これに限られず、例えば、2フィールド以上の周期で反転駆動する構成としても良いし、サブフィールド単位で反転駆動する構成としても良い。また、上述した実施形態にあっては、液晶容量の電圧無印加状態において最大透過率となるノーマリーホワイトモードとして説明したが、同状態において最小透過率となるノーマリーブラックモードとしても良い。

【0116】

さらに、実施形態にあって、素子基板101には、ガラス基板を用いたが、SOI (Silicon On Insulator) の技術を適用し、サファイヤや、石英、ガラスなどの絶縁性基板にシリコン単結晶膜を形成して、ここに各種素子を作り込んで素子基板101としても良い。また、素子基板101として、シリコン基板などを用いるとともに、ここに各種の素子を形成しても良い。このような場合には、スイッチング素子として、高速な電界効果型トランジスタを用いることができるので、TFTよりも高速動作が容易となる。ただし、素子基板101が透明性を有しない場合、画素電極118をアルミニウムで形成したり、別途反射層を形成したりするなどして、反射型として用いる必要がある。

【0117】

さらに、上述した実施形態では、液晶としてTN型を用いたが、BTN (Bi-stable Twisted Nematic) 型・強誘電型などのメモリ性を有する双安定型や、高分子分散型、さらには、分子の長軸方向と短軸方向とで可視光の吸収に異方性を有する染料(ゲスト)を一定の分子配列の液晶(ホスト)に溶解して、染料分子を液晶分子と平行に配列させたGH (ゲストホスト) 型などの液晶を用いても良い。

また、電圧無印加時には液晶分子が両基板に対して垂直方向に配列する一方、

電圧印加時には液晶分子が両基板に対して水平方向に配列する、という垂直配向（ホメオトロピック配向）の構成としても良いし、電圧無印加時には液晶分子が両基板に対して水平方向に配列する一方、電圧印加時には液晶分子が両基板に対して垂直方向に配列する、という平行（水平）配向（ホモジニアス配向）の構成としても良い。このように、本発明では、液晶や配向方式として、種々のものに適用することが可能である。

【0118】

くわえて、電気光学装置としては、液晶表示装置のほかに、エレクトロルミネッセンス（EL）や、プラズマ発光や電子放出による蛍光などを用いて、その電気光学効果により表示を行う種々の電気光学装置に適用可能である。この際、電気光学物質としては、EL、ミラーデバイス、ガス、蛍光体などになる。なお、電気光学物質としてELを用いる場合、素子基板101においてELが画素電極118と透明導電膜の対向電極との間に介在することになるので、液晶表示装置としてみれば必要であった対向基板102が不要となる。このように、本発明は、上述した構成と類似の構成を有する電気光学装置のすべてに適用可能である。

【0119】

<4：電子機器>

次に、上述した実施形態に係る電気光学装置を用いた電子機器のいくつかについて説明する。

【0120】

<4-1：プロジェクタ>

まず、上述した電気光学装置100をライトバルブとして用いたプロジェクタについて説明する。図14は、このプロジェクタの構成を示す平面図である。

【0121】

この図に示されるように、プロジェクタ2100内部には、ハロゲンランプ等の白色光源からなるランプユニット2102が設けられている。このランプユニット2102から射出された投射光は、内部に配置された3枚のミラー2106および2枚のダイクロイックミラー2108によってRGBの3原色に分離されて、各原色に対応するライトバルブ100R、100Gおよび100Bにそれぞれ

れ導かれる。

ここで、ライトバルブ100R、100Gおよび100Bは、上述した実施形態に係る電気光学装置100と基本的には同様であるが、RGBの3画素で1ドットを構成するのではなく、1画素で原色の1ドットを構成したものとなる。すなわち、ライトバルブ100RはRの画像データDRで、ライトバルブ100GはGの画像データDGで、ライトバルブ100BはBの画像データDBで、それぞれ駆動されて、RGBの各原色画像を生成する光変調器として機能するものである。

また、Bの光は、他のRやGの光と比較すると、光路が長いので、その損失を防ぐために、入射レンズ2122、リレーレンズ2123および出射レンズ2124からなるリレーレンズ系2121を介して導かれる。

【0122】

さて、ライトバルブ100R、100G、100Bによってそれぞれ変調された光は、ダイクロイックプリズム2112に3方向から入射する。そして、このダイクロイックプリズム2112において、RおよびBの光は90度に屈折する一方、Gの光は直進する。これにより、各原色画像の合成したカラー画像が、投射レンズ2114を介して、スクリーン2120に投射されることになる。

【0123】

なお、ライトバルブ100R、100Gおよび100Bには、ダイクロイックミラー2108によって、RGBの各原色に対応する光が入射するので、上述したようにカラーフィルタを設ける必要はない。

【0124】

<4-2：モバイル型コンピュータ>

次に、上述した電気光学装置100を、モバイル型のパーソナルコンピュータに適用した例について説明する。図15は、このパーソナルコンピュータの構成を示す斜視図である。図において、コンピュータ2200は、キーボード2202を備えた本体部2204と、表示部として用いられる電気光学装置100とを備えている。なお、電気光学装置100として液晶表示装置が用いられる場合、背面には、暗所での視認性を確保するためのバックライトユニット（図示省略）

が設けられる。

【0125】

<4-3：携帯電話>

さらに、上述した電気光学装置100を、携帯電話の表示部に適用した例について説明する。図16は、この携帯電話の構成を示す斜視図である。図において、携帯電話2300は、複数の操作ボタン2302のほか、受話口2304、送話口2306とともに、上述した電気光学装置100を備えるものである。なお、電気光学装置100として液晶表示装置が用いられる場合、上述したパーソナルコンピュータと同様に、背面には、暗所での視認性を確保するためのバックライトユニット（図示省略）が設けられる。

【0126】

<4-4：電子機器のまとめ>

なお、電子機器としては、図14、図15および図16を参照して説明した他にも、液晶テレビや、ビューファインダ型・モニタ直視型のビデオテープレコーダ、カーナビゲーション装置、ページャ、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS端末、デジタルスチルカメラ、タッチパネルを備えた機器等などが挙げられる。そして、これらの各種の電子機器に対して、実施形態や応用形態に係る電気光学装置が適用可能なのは言うまでもない。

【0127】

【発明の効果】

以上説明したように本発明によれば、各種の素子特性や配線抵抗などの不均一性に起因する表示ムラの発生を抑えた高品位な表示が、低い消費電力で可能になる。

【図面の簡単な説明】

【図1】 (a)は、本発明の第1実施形態に係る電気光学装置の外観構成を示す斜視図であり、(b)は、その線A-A'についての断面図である。

【図2】 同電気光学装置の電気的な構成を示すブロック図である。

【図3】 同電気光学装置における1画素分の電気的な構成を示す回路図で

ある。

【図 4】 同電気光学装置における 1 画素分の構成を示す平面図である。

【図 5】 図 4 に示される構成の等価回路を示す図である。

【図 6】 同電気光学装置におけるデータの書込動作を説明するためのタイミングチャートである。

【図 7】 同電気光学装置における表示リフレッシュ動作を説明するためのタイミングチャートである。

【図 8】 本発明の第 2 実施形態に係る電気光学装置の電氣的な構成を示すブロック図である。

【図 9】 同電気光学装置における 1 画素分の電氣的な構成を示す回路図である。

【図 1 0】 同電気光学装置におけるデータの書込動作を説明するためのタイミングチャートである。

【図 1 1】 同電気光学装置における表示リフレッシュ動作を説明するためのタイミングチャートである。

【図 1 2】 実施形態に係る電気光学装置の画素におけるセクタの別構成を示す回路図である。

【図 1 3】 実施形態に係る電気光学装置の画素の別構成を示す回路図である。

【図 1 4】 実施形態に係る電気光学装置を適用した電子機器の一例たるプロジェクタの構成を示す図である。

【図 1 5】 実施形態に係る電気光学装置を適用した電子機器の一例たるパーソナルコンピュータの構成を示す斜視図である。

【図 1 6】 同電気光学装置を適用した電子機器の一例たる携帯電話の構成を示す斜視図である。

【符号の説明】

1 0 0 … 電気光学装置

1 0 5 … 液晶

1 0 8 … 対向電極

118…画素電極

120…画素

130、150…シフトレジスタ

132…デコーダ

134…V_{bk}セレクタ

140…行アドレスデコーダ

160…列アドレスデコーダ

1211～1216、1281～1286…TFT（第1転送スイッチ）

C1～C6…保持素子

1220…セレクタ

1241、1243…インバータ

1251、1253、1255…相補型スイッチ

1270…TFT（第2転送スイッチ）

2100…プロジェクタ

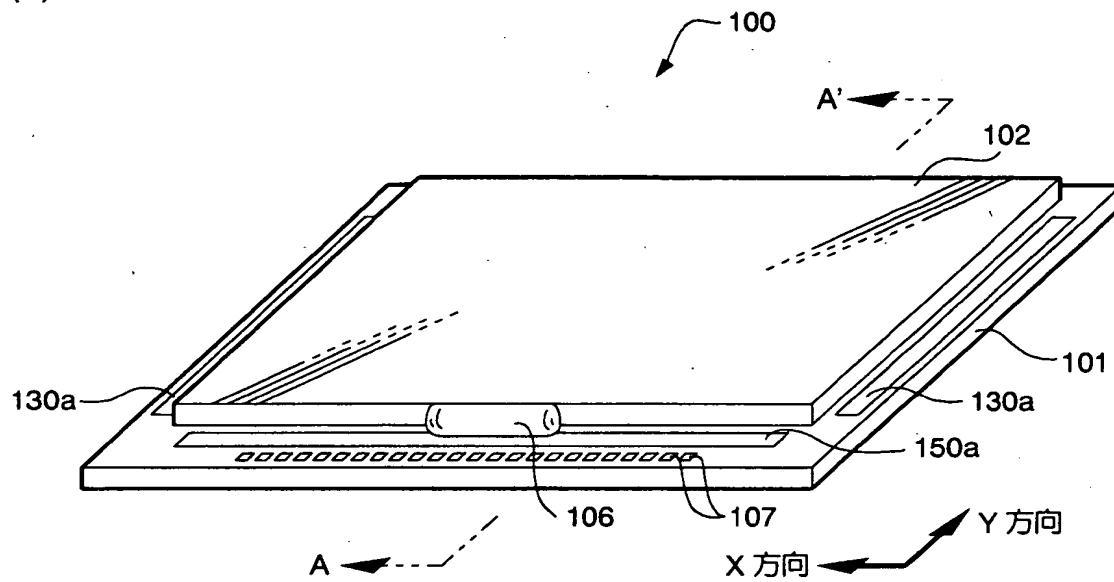
2200…パーソナルコンピュータ

2300…携帯電話

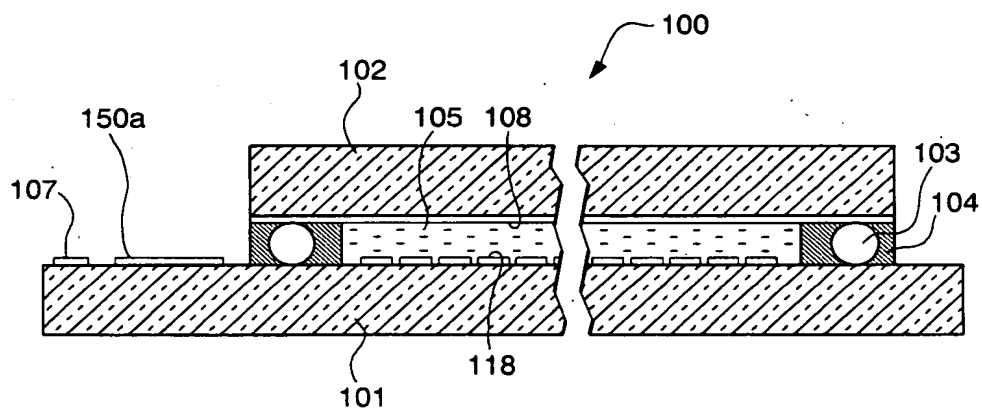
【書類名】 図面

【図 1】

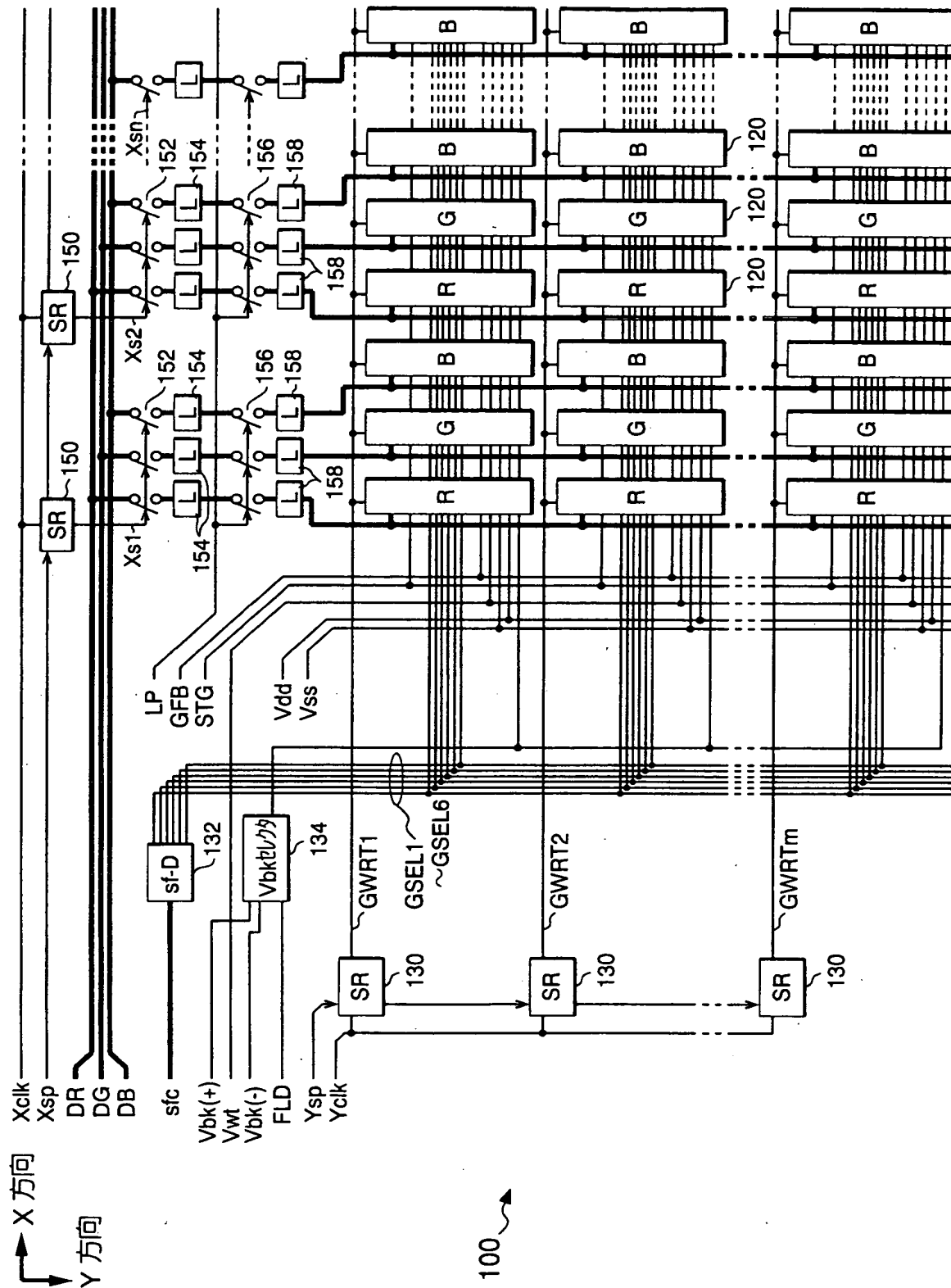
(a)



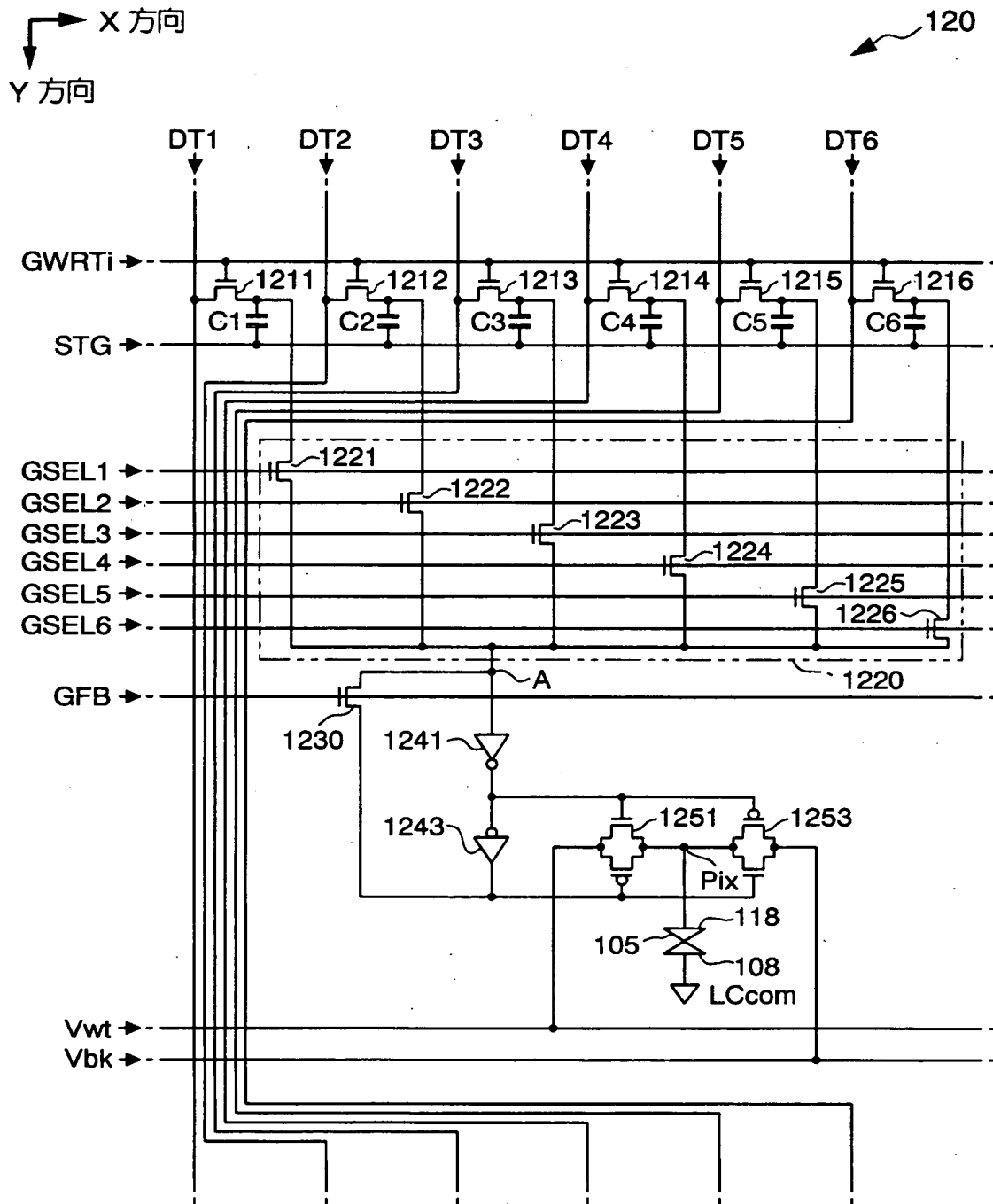
(b)



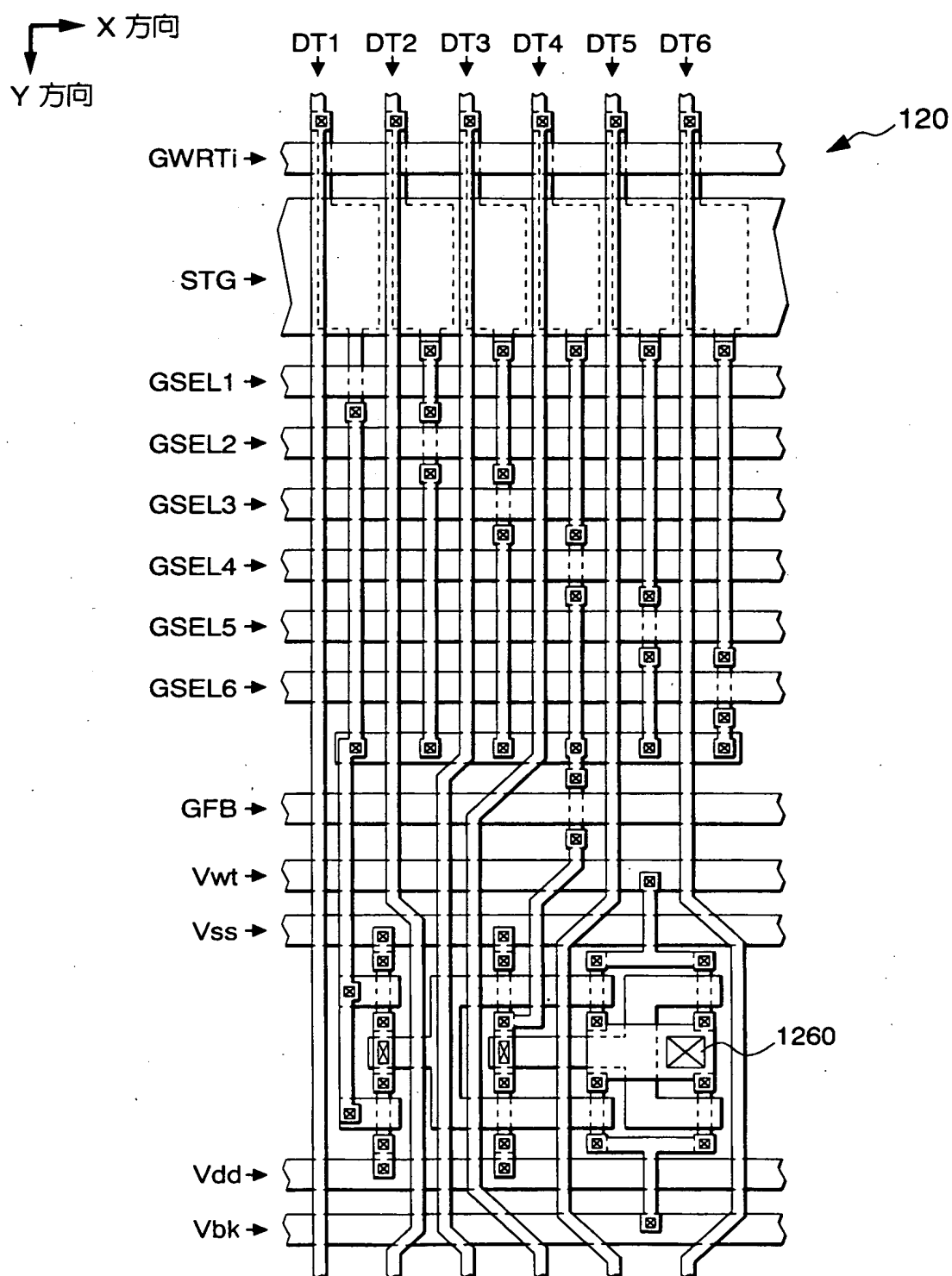
【図 2】



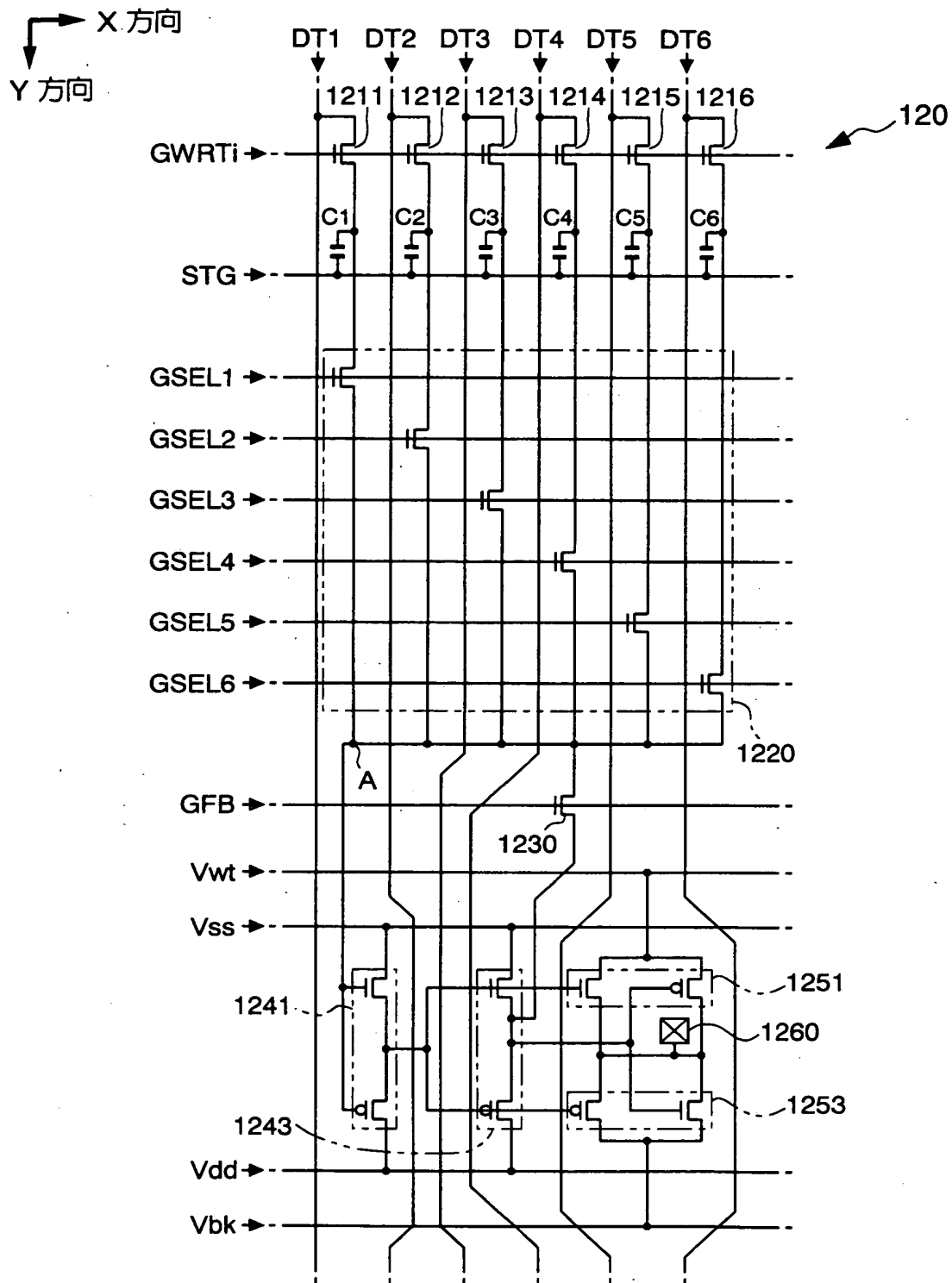
【図 3】



【図4】

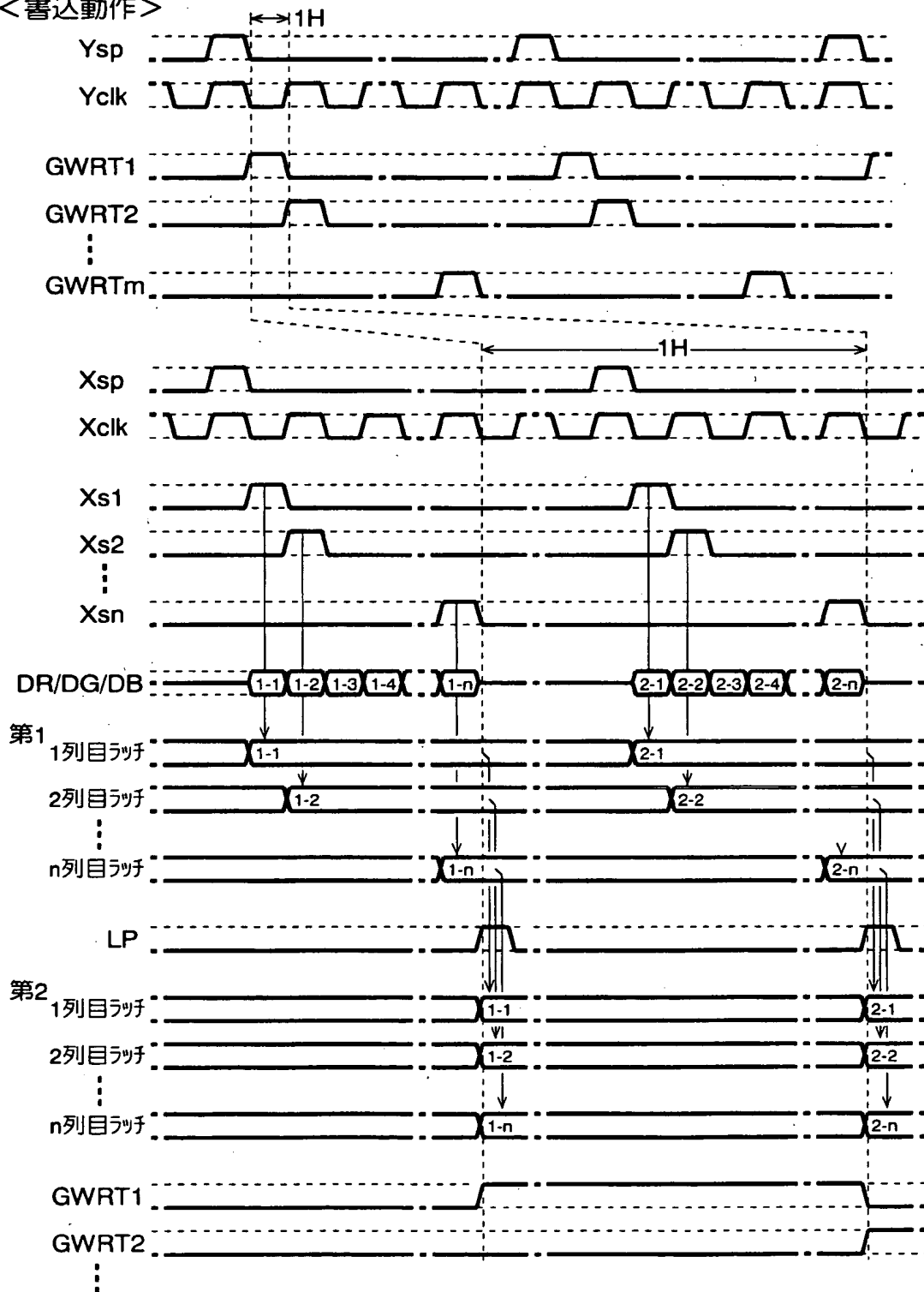


【図 5】



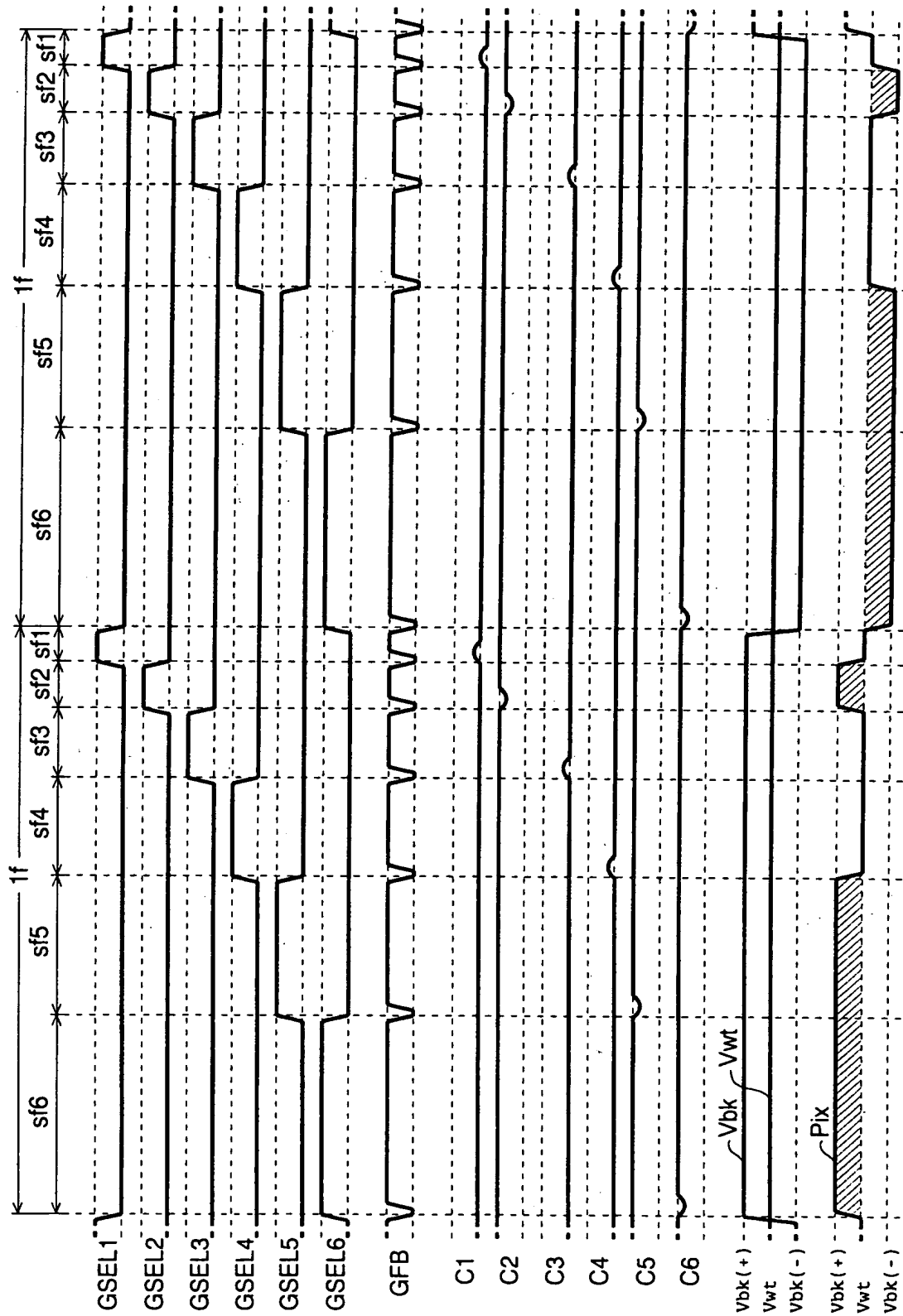
【図 6】

<書込動作>

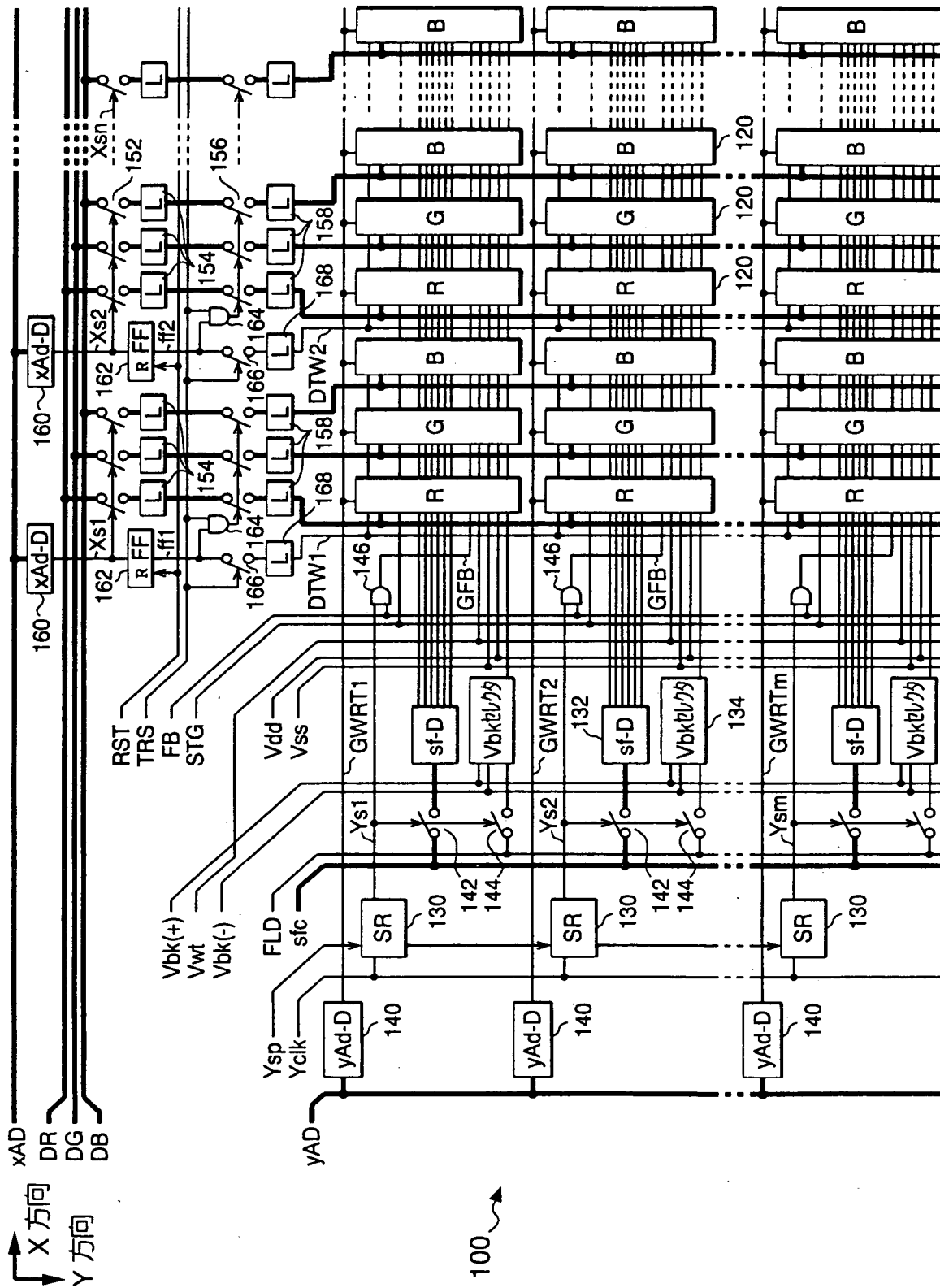


【図 7】

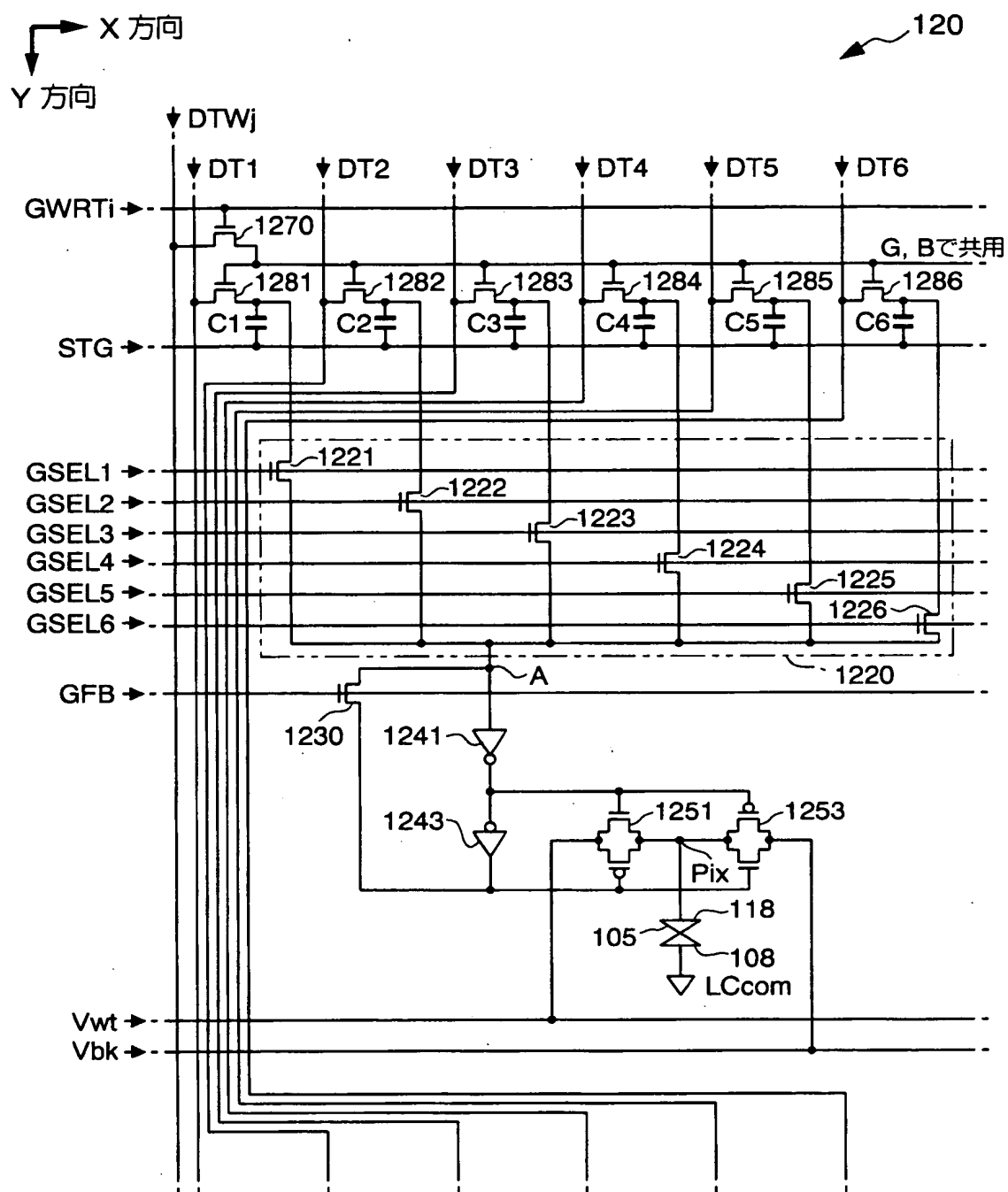
＜表示リフレッシュ動作＞



【図8】

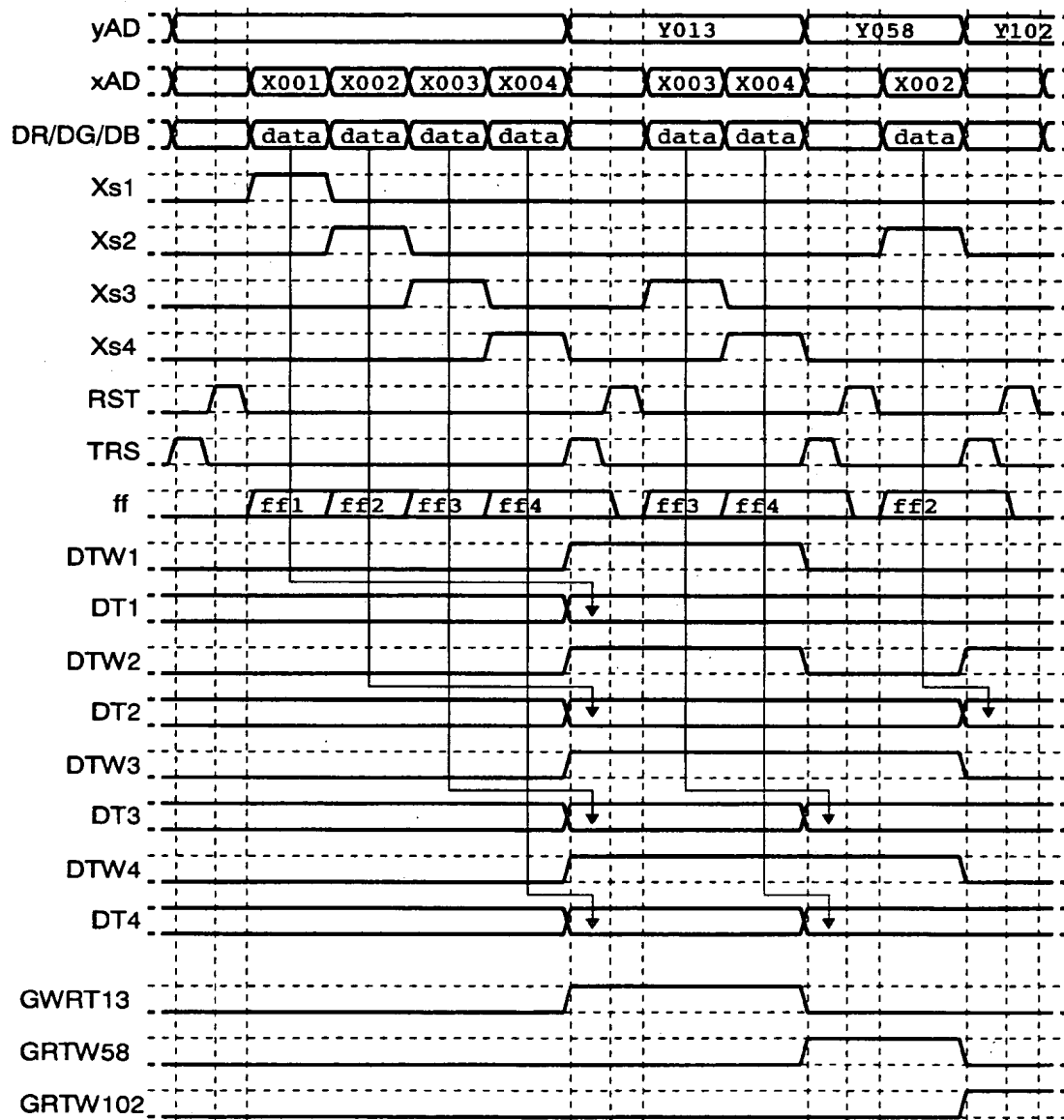


【図 9】



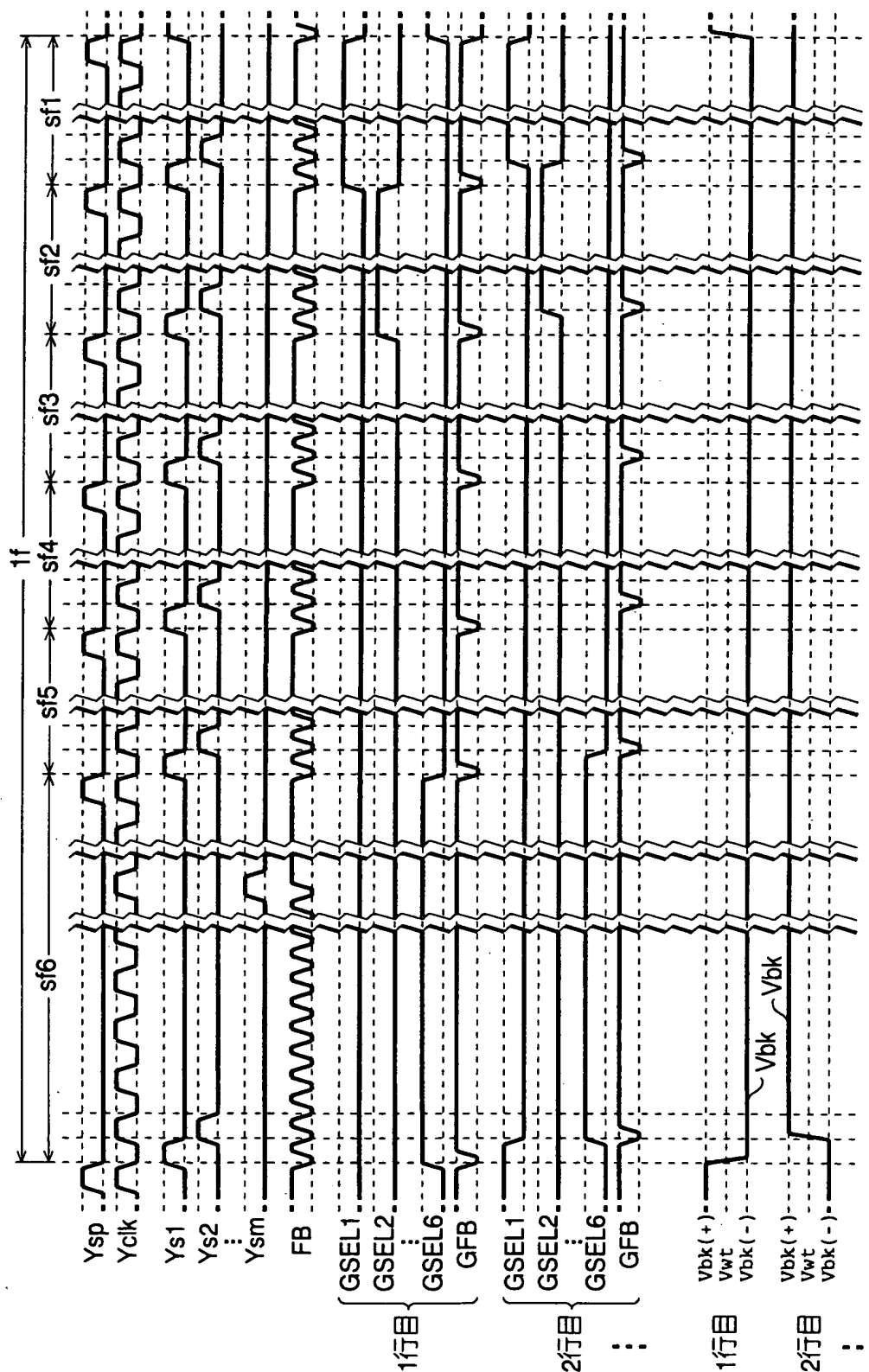
【図 10】

<書込動作>

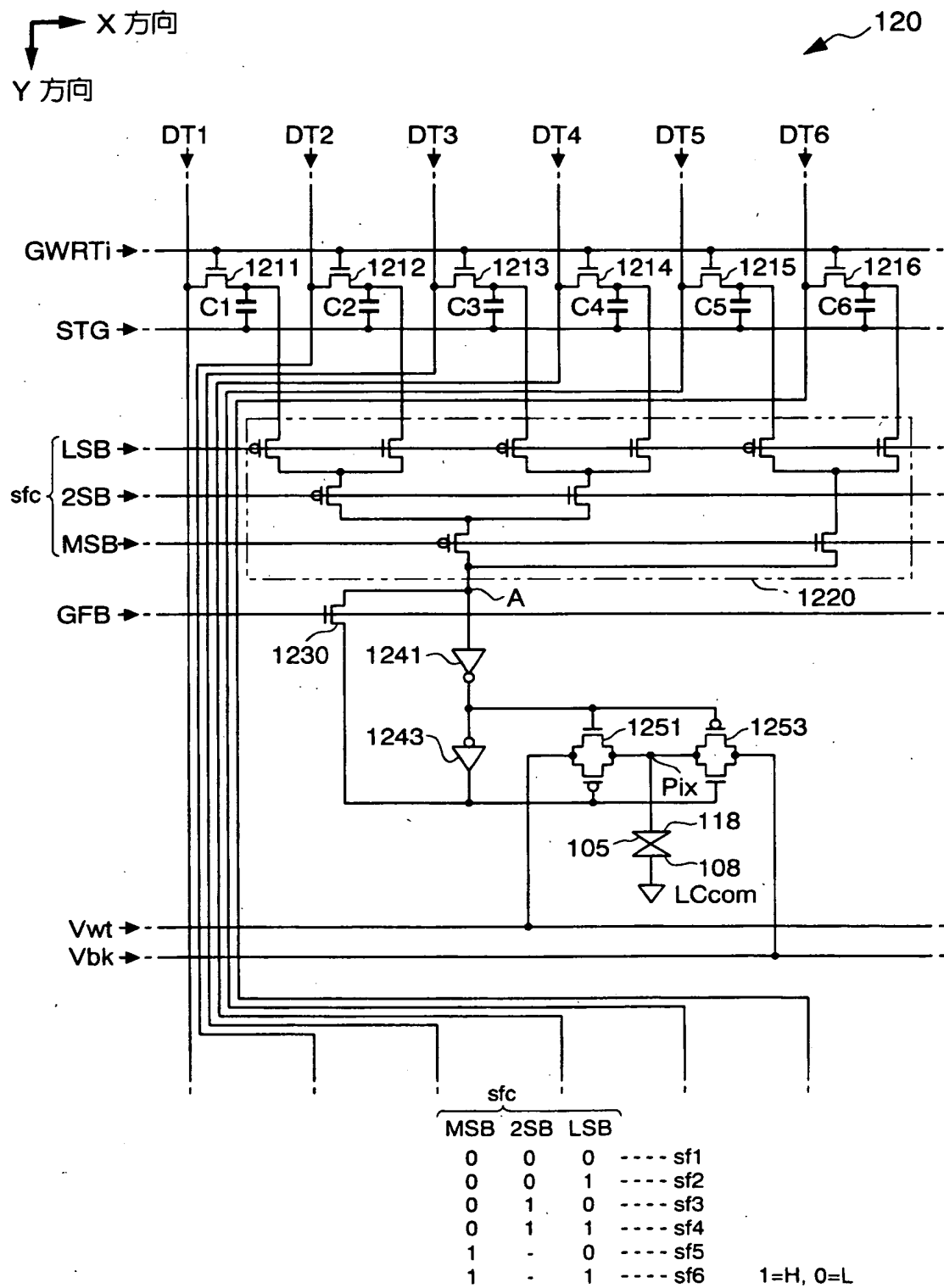


【図 11】

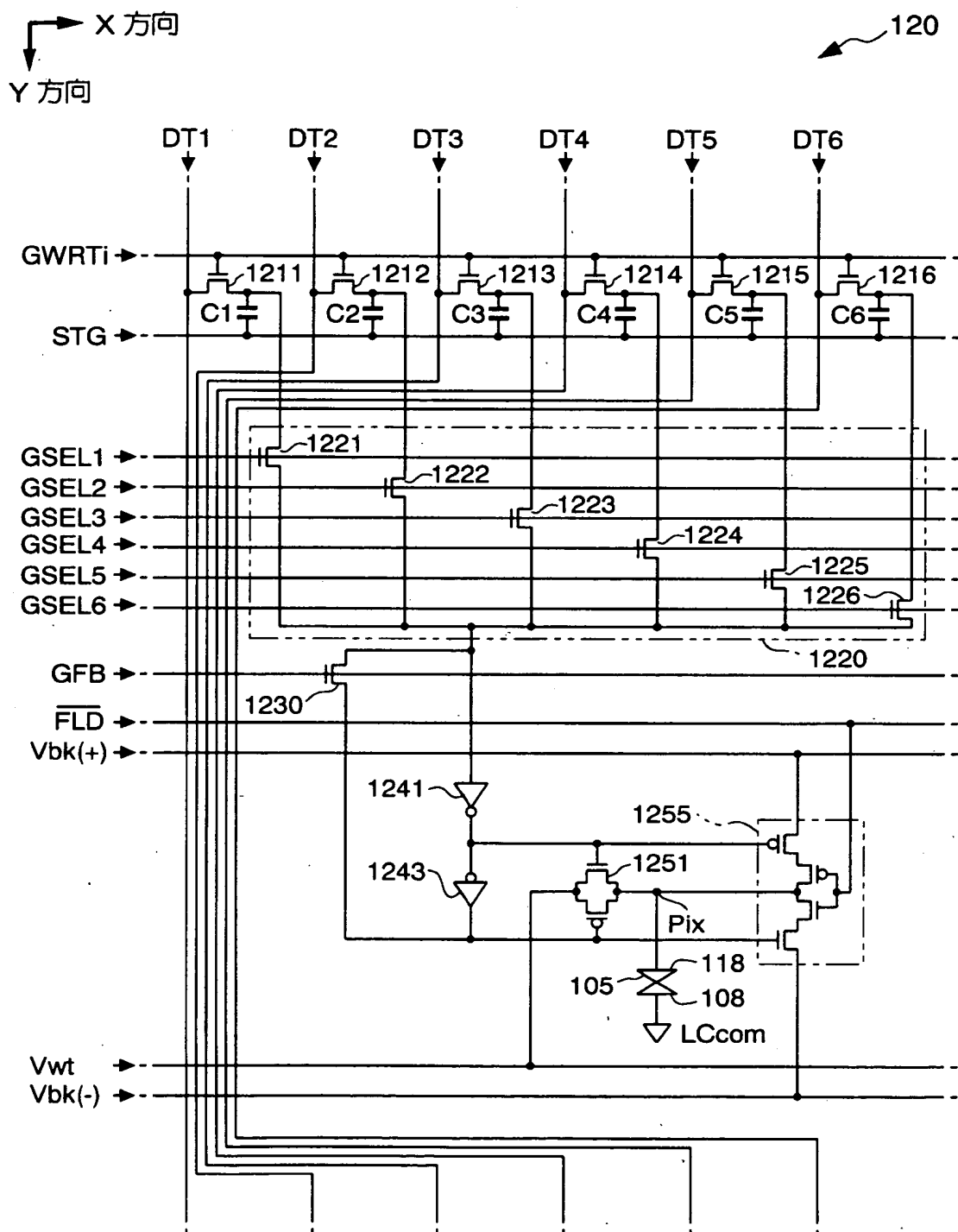
<表示リフレッシュ動作>



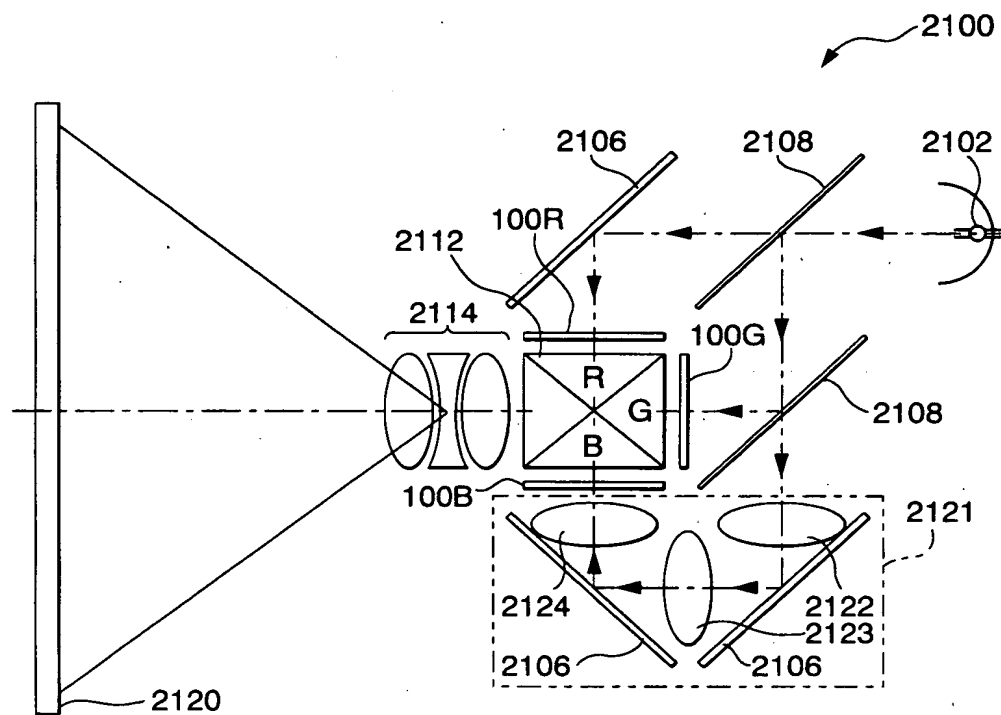
【图 1 2】



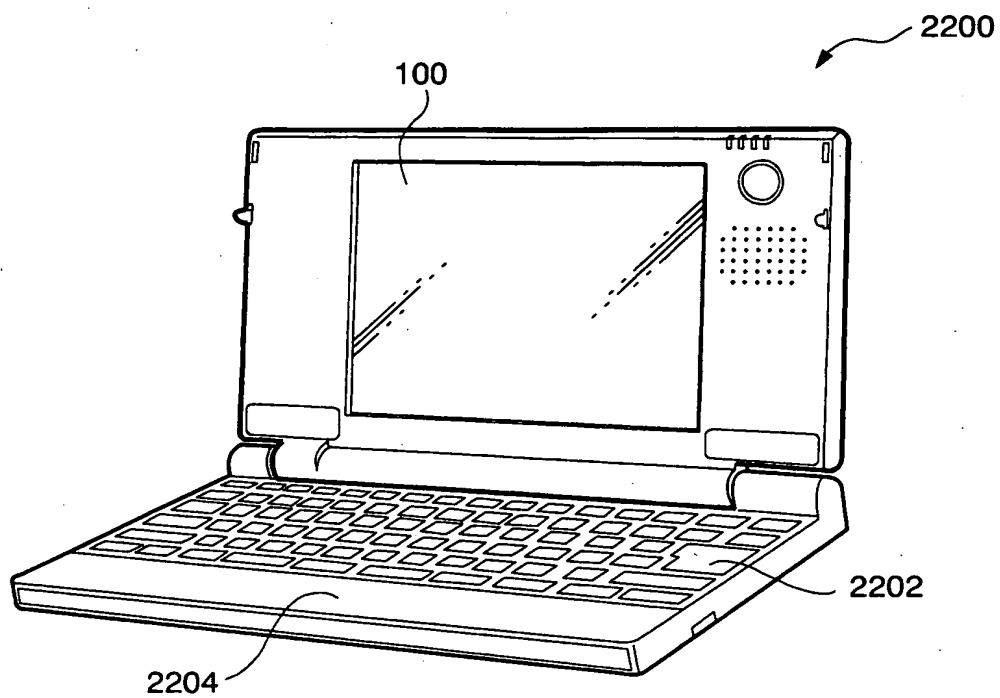
【図 13】



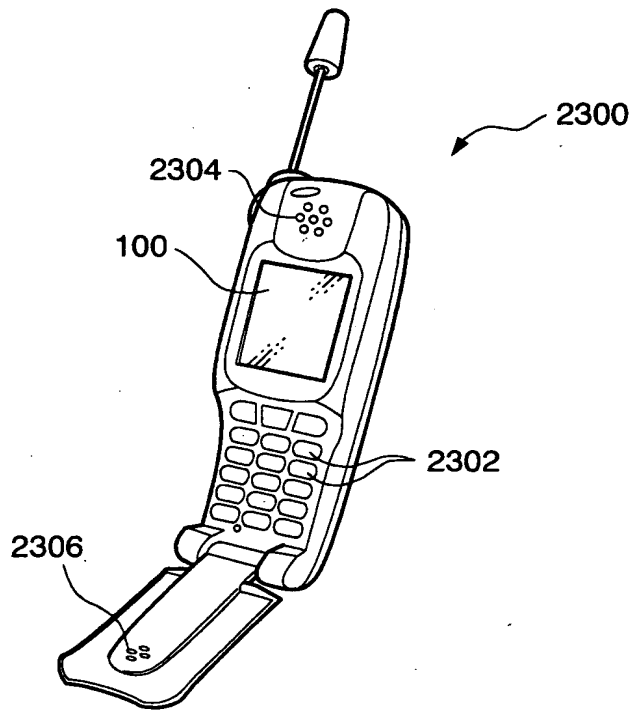
【図14】



【図 15】



【図 1 6】



【書類名】 要約書

【要約】

【課題】 表示ムラの発生を抑えた高品位な表示を、低い消費電力で行う。

【解決手段】 1 フィールドは、階調データのビットに応じたサブフィールドに分割されるとともに、各サブフィールドの期間が、それぞれビットの重みに対応して設定されている。ここで、画素 1 2 0 は、階調データのビット D T 1 ~ D T 6 をそれぞれ記憶するメモリと、これらのメモリのうち、サブフィールドに対応するビットを記憶するメモリを選択するセレクタ 1 2 2 0 と、選択されたメモリに記憶されているビットを読み出してラッチするとともに、選択されたメモリに再度書き込むインバータ 1 2 4 1、1 2 4 3、T F T 1 2 3 0 の閉ループと、選択されたメモリから読み出したビットにしたがって、画素電極 1 1 8 に、オン表示信号 V b k またはオフ表示信号 V w t に対応する電圧を選択する相補型スイッチ 1 2 5 1、1 2 5 3 とを備える。

【選択図】 図 3

出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日	1990年 8月20日
[変更理由]	新規登録
住 所	東京都新宿区西新宿2丁目4番1号
氏 名	セイコーエプソン株式会社



Creation date: 12-07-2004
Indexing Officer: THINES - TONYA HINES
Team: OIPEBackFileIndexing
Dossier: 10002121

Legal Date: 12-21-2001

No.	Doccode	Number of pages
1	CTMS	1

Total number of pages: 1

Remarks: .

Order of re-scan issued on